## 27p-G12-48

## High-κ絶縁膜積層型カーボンナノチューブメモリのメモリ特性 Carbon-Nanotube-Based Memory with High-κ Dielectric-Layered Structure 阪大産研,藤井雄介,清家康平,上村崇史,大野恭秀,<sup>○</sup>前橋兼三,井上恒一,松本和彦

## ISIR, Osaka Univ., Y. Fujii, K. Seike, T. Kamimura, Y. Ohno, <sup>°</sup>K. Maehashi, K. Inoue and K. Matsumoto E-mail: maehashi@sanken.osaka-u.ac.jp

はじめに:フラッシュメモリの低電圧動作実現のためシリコンナノワイヤ[1]やカーボンナノチューブ (CNT) [2,3]を用いたメモリデバイスが注目を集めている。特に直径が1 nm と非常に小さい CNT は電 界集中の効果が強まり、メモリの消費電力を小さくすることが可能である。これまで我々は CNTFET 上に Al<sub>2</sub>O<sub>3</sub>/ HfO<sub>2</sub>/ Al<sub>2</sub>O<sub>3</sub>の絶縁膜積層構造を作製することでメモリデバイスを作製した。その結果、低 電圧でのヒステリシスと電荷保持時間の向上がみられることを報告した[4]。今回はその新しい構造を 用いてメモリ動作を行い、書き込み/消去に要する電圧パルス、そして書き込み/消去耐性を報告する。

**実 験**: Fig. 1 に作製したメモリデバイスの模式図を示す。 熱 CVD 法で成長させた CNT に Pd 電極を形成し CNT 電界 効果トランジスタ(CNTFETs)を作製した。次に CNTFETs 上に熱 ALD 法により Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>を堆積し、最後 に絶縁膜上にトップゲート電極を形成することでメモリ デバイスを作製した。

結果:作製したデバイスによるメモリ動作をFig.2に示 す。印加したゲート電圧を青色、ドレイン電流を赤色で示 す。6 V の電圧パルスを1 ms 印加することで書き込み、 消去が行われ動作に必用な 10<sup>3</sup>以上の On/Off 比が得られ ていることが分かる。当日はさらに書き込み条件を変更し た場合の On、Off 電流の変化を示し、そのメカニズムを 考察する。Fig.3 に同様の電圧パルスを用いて繰り返しメ モリ動作を行った時の On、Off 電流を示す。繰り返し回数 1000 回を経た後も 10<sup>3</sup>以上の On/Off 比が得られているこ とが分かり、これは高い書き込み/消去耐性を示している。

 [1] Yu, H, et al., Microelectronics Reliability **52** (2012) 651
[2] T. Ohori, et al., Appl. Phys. Lett. **98** (2011) 223101.
[3] Y. Fujii, et al., Jpn. J. Appl. Phys. **51** (2012) 06FD11.
[4] 藤井 他, 第 73 回応用物理学会学術講演会予稿 集,14a-C2-4



Fig.1. Schematic of a CNT-based memory.



Fig. 2. Programming and reading characteristics of the CNT-based memory.



the CNT-based memory.