

全層印刷 CNT トランジスタの為のスクリーン印刷法の検討

Study on Screen Printing Process for All Layer Printed CNT Transistor

NEC, °中島嘉樹, 殿内規之, 遠藤浩幸

NEC Corporation, °Yoshiki Nakashima, Noriyuki Tonouchi, Hiroyuki Endoh

E-mail: y-nakashima@bu.jp.nec.com

【はじめに】印刷法による電子回路は、真空・プラズマ処理等を必要とせず、フォトリソグラフィ法による電子回路に対し低コスト・低環境負荷の点で優位である。また印刷法は低温プロセスであるため基板選択自由度があり、その実用化が期待されている。電子回路に不可欠なアクティブ素子としてのトランジスタの印刷形成には、従来、マイクロコンタクト印刷法やインクジェット印刷法が検討されてきた。しかし、前者は複雑な押圧機構による高コスト、後者はタクト時間が長いことに課題がある。また両者に共通して配線厚の薄さによる面抵抗率の増大も課題である。一方、スクリーン印刷法は、低コスト性、短タクト性に優れ、配線も厚く形成できる印刷法として広く使用されている。そこで我々はスクリーン印刷法を用いてアクティブ素子を含む電子回路を形成することを目的に、単層カーボンナノチューブ (SWCNT) を半導体層に用いた薄膜トランジスタ (TFT) の試作と特性評価を通じたプロセス検討を実施した。

【実験】ポリイミドフィルム上にゲート電極 (金スパッタ)、ゲート絶縁膜 (ポリイミドスピンコート) を形成したのち、スクリーン印刷法を用い銀ペーストによるソース・ドレイン電極を形成した。更に半導体層として純度 90% 以上の半導体 SWCNT インクをディスペンサを用いて塗布することにより、目的とする TFT を作製した。

【結果】形成した TFT はチャネル長 $L=30\mu\text{m}$ 、チャネル幅 $W=1000\mu\text{m}$ 、ゲート絶縁膜厚 650nm である (Fig.1)。I-V 特性を評価したところ、ゲート電圧の変化に伴うドレイン電流の変化を観察し (Fig.2)、スクリーン印刷法で形成したソース・ドレイン電極を用いた TFT がトランジスタとして動作していることを確認した。当日はゲート電極、ゲート絶縁膜にも印刷プロセスを適用した結果についても議論する。

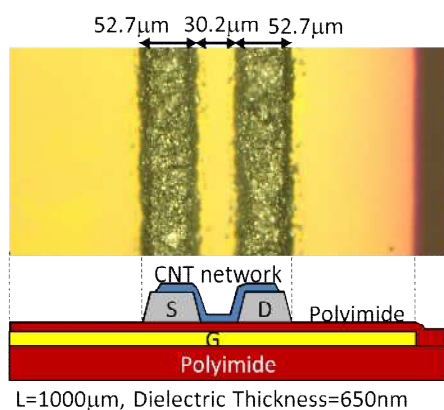


Fig.1 Top view micrograph for the developed transistor and its cross sectional drawing

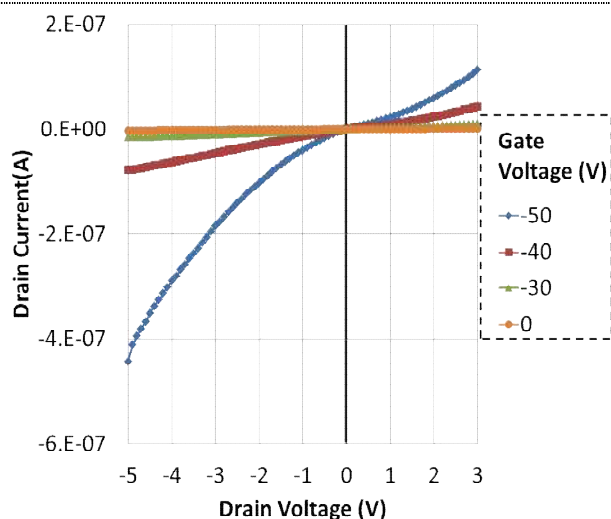


Fig.2 I-V characteristics for the developed transistor