

高性能 SiC-JFET の開発

Development of High Performance SiC JFETs

日立中研 ○横山 夏樹, 清水 悠佳, 秋山 悟

Central Research Laboratory, Hitachi Ltd., Natsuki Yokoyama, Haruka Shimizu, Satoru Akiyama

E-mail: natsuki.yokoyama.cz@hitachi.com

はじめに：SiC パワー素子は、従来の Si の限界を超える省エネ素子として期待されている。ダイオードの機器適用は既に始まっており、スイッチング素子の本格的な普及が求められている。JFET (Junction Field Effect Transistor) は MOSFET とは異なり、バルクデバイスなので高移動度を得やすく、オン抵抗の低減が期待出来る。また、MOSFET で課題となっているゲート酸化膜信頼性確保の問題がない利点もある。一方、ノーマリオフ JFET は閾値が低いため、特別な駆動回路が必要となる欠点がある。このため、ノーマリオフ JFET 向けの駆動回路の検討を進めると共に、従来の Si 素子用駆動回路を流用可能な Si MOSFET と組合せたカスコード接続ノーマリオン JFET (ハイブリッド JFET) の開発も進めてきた。これら JFET の最近の開発状況を述べる。

ノーマリオフ JFET：アクティブ部の大きさが 3.9mm 角のノーマリオフ JFET を開発した⁽¹⁾。素子構造は縦チャンネルのトレンチ型である。チャンネル部に局所的なドーピングを行い、チャンネル抵抗の低減と耐圧確保を両立した。耐圧は 700V 以上でオン抵抗は室温で 27mΩ、125℃で 38mΩである。一般的にオン抵抗は絶対温度の n 乗に比例するが、ノーマリオフ JFET では $n = 1.1$ であり、Si の Super Junction-MOS よりも依存性が小さく、高温動作にも適している。パッシベーション膜の第 1 層に NO 酸化膜を適用し、SiO₂/SiC 界面のトラップを介したゲートリーク電流を、従来のドライ酸化膜を適用した場合に比べて、約 1 桁低減した。駆動回路の消費電力低減に有効となる。

ハイブリッド JFET：Si スwitchング素子からの置換えを促進する目的で、駆動が容易なハイブリッド JFET を開発した⁽²⁾。Si MOSFET とカスコード接続し、2 チップを TO-3P パッケージに収め、ピン配置も Si スwitchング素子と共通とした。ノーマリオン JFET のダイ寸法は 2.5mm 角、ハイブリッド JFET の耐圧は 783V で、室温でのオン抵抗は 69mΩである。ノーマリオン JFET の素子構造は縦チャンネルのトレンチ型である。この JFET のカットオフ電圧は低いので、カスコード接続には低耐圧の Si MOSFET を用いることが可能となる。今回は、耐圧 60V、オン抵抗 8mΩの Si MOSFET を用いた。その結果、低オン抵抗のハイブリッド JFET を実現出来た。ハイブリッド JFET で駆動するのは Si MOSFET なので、従来の Si 素子用駆動回路をそのまま適用することが出来る。

本研究の一部は NEDO「次世代パワーエレクトロニクス技術開発 (グリーン IT プロジェクト)」の成果である。

参考文献： (1) H. Shimizu et al., Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, Kyoto, pp. 893-894.

(2) S. Akiyama et al., Proc. 9th European Conference on Silicon Carbide and Related Materials, 2012, WeP-16.