27p-G9-4

システム LSI 設計と VDEC における More Than Moore に向けた取り組み

System LSI Design and VDEC Activities toward More Than Moore

東京大学　○池田 誠

Univ. of Tokyo,　°Makoto Ikeda

E-mail: ikeda@silicon.u-tokyo.ac.jp

東京大学大規模集積システム設計教育研究センター（VDEC）は１９９６年に設立されて以降、日本の大学における集積回路設計・教育基盤の拡充を目指して活動している。その活動の柱は、(1) LSI 試作機会の提供、(2) LSI 設計 CAD ツールの提供、(3) LSI 設計法に関するセミナーの開催である。加えて、測定評価環境を公開、所有するクリーンルームといくつかの装置の共同利用などによるポストプロセス技術の研究を進めている。

VDEC における LSI 試作において、設計にかかわる種々のノウハウの共有が不可欠で、メールリストを用いた質疑とそのアーカイブ、さらには各大学で構築された設計フロー(1)の公開などを通して設計基盤の強化を図っている。また、ツールベンダから講師を招き CAD ツール講習会を実施しており、２０１１年からはインターネット中継により遠隔地での受講も可能となっている。ただ、これら個々の CAD ツールに関する講習だけでは、ツールチェインを使いこなしシステム LSI の設計にまでたどり着くことが困難であるため、CAD ベンダー推奨のデザインフロー向けツールチェインに関する講習のほか、プロセスに特化した設計フローに関するより実践的な講習会として「VDEC 環境におけるトランジスタレベル設計手法(東京大学 名倉先生)」、「VDEC 環境におけるディジタル設計手法(京都工芸繊維大学 小林先生)」を実施している。

VDEC では、試作プロセスメニューを 1.2um('96-'11), 0.5um('96-'01), 0.6um('97-'01), 0.35um('98-'06), 0.18um('01-), 90nm('04-'07), 65nm('08-), 40nm('10-'12)と More Moore を目指した試作メニューの提供を行ってきている。一方、回路系の国際会議などでは、MEMS 混載 CMOS など More-than-Moore 志向の論文に注目が集まるようになっている。これらの研究に向けた要望に応えるべく、MEMS 混載 LSI 向けの試作メニューの導入試みている。一つは、東工大益先生、町田さん中心の MEMS 向け高耐圧 BiCMOS プロセスである。ここでは、設計者はウエハを受け取れるほか、設計内容の秘匿性を保証するための処理が行われることが特徴である。もう一方、0.6um 程度でありながら、SOI などウエハを比較的自由に選択でき、かつウエハ渡しを可能とする試作の試行を行っている。LSI 側は相乗り効果で比較的安価に試作が可能である一方、MEMS に関しては、現状では各自でのポストプロセスもしくは個別に MEMS 形成の依頼を行う必要があり、相乗り効果の恩恵を受けた気軽な MEMS 形成には至っていない。LSI におけるセルライブラリ、もしくはアナログ IP 同様に、ごく小品種であっても共通プロセスで利用可能な MEMS ライブラリが実現され、MEMS 向けの追加で１，２枚のマスクのみで MEMS ポストプロセスが可能となる仕組みが整備され、MEMS 混載 LSI を活用した研究、さらには設計法といった研究が大いに盛んになることを期待したい。

参考文献

(1) 小野寺, 他, "P2Lib: スタンダードセルライブラリ自動生成システム", 情報処理学会論文誌, vol.40, no. 4, pp. 1660-1669(1999)

© 2013 年　応用物理学会