

超小型 Ge 受光器実現に向けたエピタキシャル成長プロセス検討

Epitaxial Process Developments towards Ultra-Small Germanium Photodetectors

フォトニクス・エレクトロニクス融合システム基盤技術開発研究機構¹, 技術研究組合光電子融合基盤技術研究所²,
産業技術総合研究所³, 東京大学生産技術研究所⁴,

○三浦 真^{1,2}, 藤方 潤一^{1,2}, 野口 将高^{1,2}, 堀川 剛^{1,3}, 荒川 泰彦^{1,4}

PECST¹, PETRA², AIST³, Institute of Industrial Science, the University of Tokyo⁴,

○Makoto Miura^{1,2}, Junichi Fujikata^{1,2}, Masataka Noguchi^{1,2}, Tsuyoshi Horikawa^{1,3}, Yasuhiko Arakawa^{1,4}

E-mail: m-miura@petra-jp.org

【序論】Si 上への光電子高密度集積技術の確立に向け、我々はこれまでに超高速 PIN 型 Ge 受光器の開発を行ってきた[1]。より一層の高速化と高密度化を目標とし、butt-joint 構造[2]を有する超小型 Ge 受光器の開発を検討している。Butt-joint 型受光器は Ge 光吸収層に対する光の入射効率を高め、素子の低電気容量化により、CMOS 回路との親和性を実現する可能性を持つ。しかしながら、小型化による抵抗の増大、また作製時の工程数増大等が課題となる。今回、抵抗の低減が可能な butt-joint 型受光器構造を構築し、上記構造を実現し得るプロセスの最適化と、工程数の削減が可能なエピタキシャル成長プロセス技術の開発を行った。

【エピタキシャル成長プロセス開発】目標とする butt-joint 型 Ge 受光器構造の断面図を図 1 に示す。SOI 導波路上に Si を選択成長することで p 型 Si 層の膜厚を減らすことなく高効率な光結合構造を実現しており、また Ge 光吸収層から n⁺ Ge 電極形成までを一括して実施可能な構造を有することで工程数の削減を可能にしている。本構造を実現する為、(1)Si の選択成長、(2) Si 溝の形成と上記溝中への Ge 埋め込み選択成長、(3) Ge 選択成長時の高濃度 n 型 in-situ doping の各要素技術を開発した。

(1) Si エピタキシャル成長条件を改善することで、厚膜 Si(620nm)の選択成長を LP-CVD 法にて実現した(図 2)。原料ガスには SiH₄のみを用いており、通常の実験に用いる腐食性の SiH₂Cl₂ を使わずに十分な成長

速度を有する Si の選択成長プロセスを確立した。(2) CVD 装置のプロセスに整合した簡易な方法で Si をエッチングする手法を開発し、Si が溝状にエッチングされた構造を実現した。更に Ge 成長条件を最適化することで、平坦な表面を有する Ge を上記溝中に埋め込むことが出来(図 3)、CMP 等の表面平坦化が不要で Si エッチングから Ge 形成までを CVD 装置で一括して処理可能なプロセスを実現した。(3) Ge の選択成長条件下(成長圧力:15Torr)にて十分なキャリア密度と良好な表面平坦性を実現すべく検討を行った。特定の条件下では pit を伴う表面荒れが発生し、キャリア密度も低い値を示したが、ドーピングガス(PH₃)流量と成長温度を最適化することで良好な表面平坦性と低コンタクト抵抗を実現する為に十分なキャリア密度を同時に達成した(図 4)。

上記プロセスを確立することにより、Si 光集積回路において超小型 butt-joint Ge 受光器を実現する見通しを得た。

【謝辞】本研究は、CSTP により制度設計された FIRST プログラムにより、JSPS を通じて助成されたものである。本研究は、TIA-SCR において実施された。本研究の一部(Hall 測定等)は PETRA 小田克矢氏にご協力頂いた。

【文献】[1] 野口他、第 59 回応用物理学関係連合講演会 予稿集(2012 春) [18a-F4-7] pp.05-097.

[2] L. Vivien, *et al.*, Opt. Express vol.20, no.2, pp. 1096-1101 (2012).

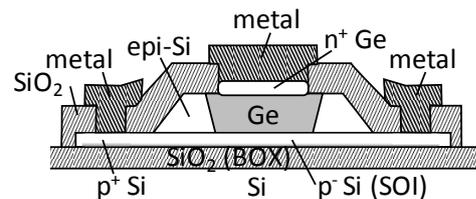


Fig. 1 Structure of butt-jointed Ge photodetector (perpendicular to light propagation direction).

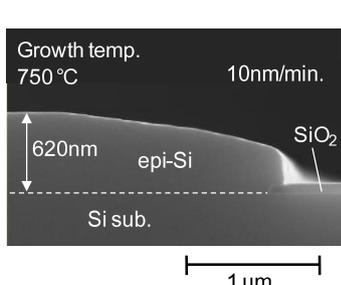


Fig. 2 Selectively grown Si on patterned SiO₂ substrate.

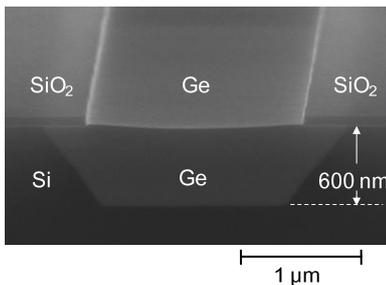


Fig. 3 Buried Ge selectively grown in vapor etched Si groove.

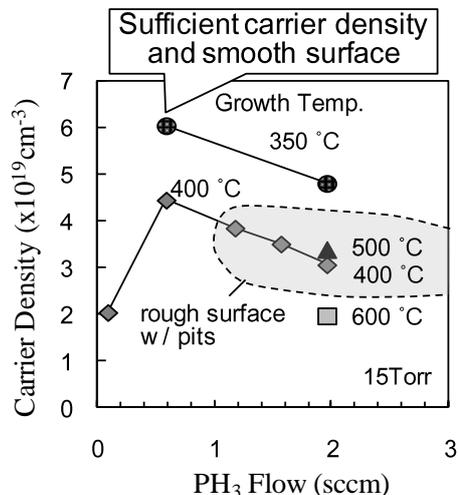


Fig. 4 Carrier density as a function of PH₃ flow rate at different temperatures.