

ウエットエッチングを用いた Si ウエハ薄形化/貫通電極露出工程の開発

Development of Silicon Wafer Thinning / Backside Via Exposure Process Using Wet Etching
 産業技術総合研究所¹, プレテック AT², アプリシアテクノロジー³, 東北大学大学院工学研究科⁴
 ◦渡辺 直也¹, 宮崎 匠², 青柳 昌宏¹, 吉川 和博^{3,4},
 National Institute of Advanced Industrial Science and Technology¹, PRE-TECH AT CO., LTD.²,
 Apprecia Technology Inc.³, Graduate School of Engineering, Tohoku University⁴
 ◦Naoya Watanabe¹, Takumi Miyazaki², Masahiro Aoyagi¹, Kazuhiro Yoshikawa^{3,4}
 E-mail: naoya-watanabe@aist.go.jp

1. はじめに

3 次元実装の工程の中で、Si ウエハの薄形化工程と貫通電極露出工程は、3 次元集積回路の歩留まり・性能に大きく影響を与えるため、重要である。これまで、Si ウエハ薄形化手法には、バックグラインド工程と、バックグラインドで発生するダメージ層（結晶欠陥やマイクロクラックなど）を除去するためのストレスリリーフ工程が用いられている。しかしながら、ファイニングラインド後でも、非常に深いダメージ層（10 μm 厚以上）が残存する可能性があるため、ストレスリリーフ工程でダメージ層を完全除去するのは難しいと考えている。また、貫通電極露出工程には、CF 系ガスなどを用いたプラズマエッチングが用いられているが、処理面にポリマーが付着するため、ポリマー除去のための洗浄工程を行う必要がある。

これらの問題を解決するため、我々は、ウエットエッチングを利用した Si ウエハ薄形化/貫通電極露出の一体工程を提案する（図 1(d)と(e)）。この工程は、以前報告したウエットエッチングによる Si ウエハ薄形化[1,2]を進化させたもので、(1)バックグラインド不実施による Si 面や貫通電極へのダメージの低減、(2)貫通電極形成工程数の削減による低コスト化を期待したものである。まず、真空吸着などで Si ウエハを固定した後に、高濃度 HF/HNO₃ 混合溶液を用いたスピネッチング（エッチングレート: 600-800 μm/min）で Si ウエハを薄形化する。次に、アルカリ溶液を用いた Si の選択エッチングを行って、貫通電極のライナー酸化膜にダメージがないように貫通電極を露出させる。今回、この工程で発生するダメージを評価し、この工程の有効性を検討したので、報告する。

2. 実験方法

図 1 の工程を実施した後に、Si 面近傍や貫通電極の観察を行った。また、貫通電極間のリーク電流測定を行った。

3. 実験結果

図 2 に、2 種類のウエットエッチング（高濃度 HF/HNO₃ 溶液のエッチングと KOH 溶液を用いたエッチング）後の Si 表面近傍の断面 TEM 像を示す。自然酸化膜と思われる非晶質層があるが、表面付近まで {111} の格子縞が観察されており、破砕層やマイクロクラックなどが観察されないことが分かる。図 3 に、露出した貫通電極の断面 SEM 像を示す。これより、貫通電極の露出箇所下部には、ライナー酸化膜（TEOS-SiO₂ 膜）とバリア層 Ta が残っていると同時に、ダメージを受けていないことが分かる。また、20 μm ピッチの貫通電極間のリーク電流が低い（印加電圧 5 V のとき 10 pA 程度）ことも確認した。

4. まとめ

ウエットエッチングを利用した Si ウエハ薄形化/貫通電極露出の一体工程を提案するとともに、ダメージ評価を行った。断面 TEM/SEM 観察や貫通電極間のリーク電流評価の結果から、この工程で発生するダメージは小さいことを確認した。

(参考文献)

- [1] K. Yoshikawa et al.: Proc. 22nd International Micro Electronics Conference (2010) pp.14-19.
- [2] N. Watanabe et al.: Proceedings of Electronic Components & Technology Conference (2012) pp.1746-1751.

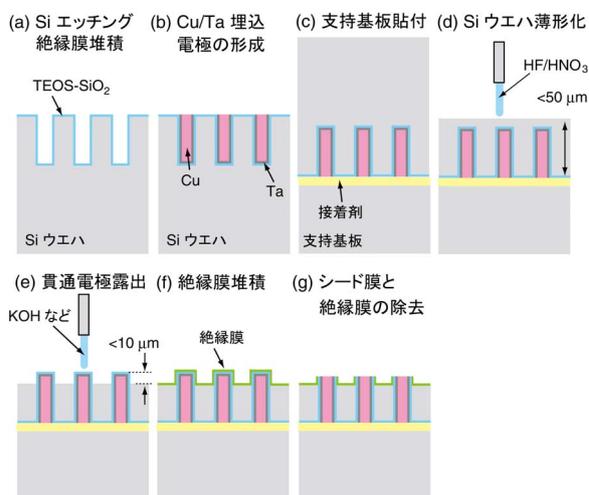


図 1: ウエットエッチングを利用した貫通電極形成工程。

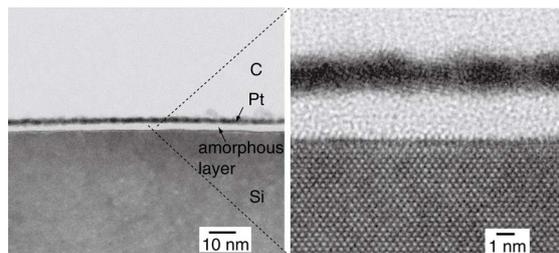


図 2: ウエットエッチング後の Si の断面 TEM 像。TEM 観察のために、C 蒸着膜や Pt スパッタ膜を堆積している。

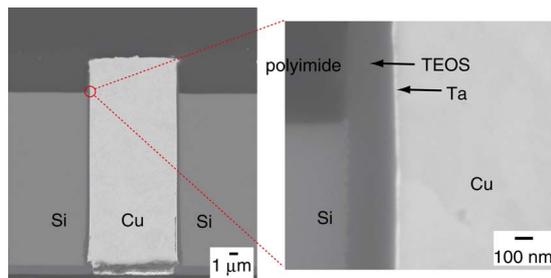


図 3: 露出した貫通電極の断面 SEM 像。貫通電極の露出箇所下部には、TEOS-SiO₂ 膜とバリア層 Ta が残っている。