

ブロック消去アーキテクチャを用いた NAND 型高集積相変化メモリ

High Density NAND Phase Change Memory with Block-Erase Architecture

中央大¹, 東大² ○上口 光¹, 吉岡 和顕², 竹内 健¹

Chuo Univ.¹, Univ. Tokyo², ○Koh Johguchi¹, Kazuaki Yoshioka¹, Ken Takeuchi¹

E-mail: johguchi@takeuchi-lab.org

近年、Hard-Disk-Drive (HDD)に代って NAND 型フラッシュメモリを用いた Solid-State-Drive (SSD)が最終記憶階層に用いられるようになってきているが、その NAND 型フラッシュメモリにもスケール限界が見えてきている。そこで、次世代の不揮発メモリデバイスとして相変化メモリが期待されている。更に相変化メモリデバイスをより高密度に集積するために、図 1 に示す相変化抵抗とトランジスタを並列に接続しそのメモリセルを直列接続し、NAND 構造を取った NAND 型相変化メモリデバイスが提案されている[1, 2]。本論文では、相変化メモリをより高速に動作させるため、書込み時間を律速するセット書込みを消去動作に用い、高速なりセット動作でプログラムを行う、ブロック消去アーキテクチャを採用した[3]。このブロック消去アーキテクチャを採用するためには、(1)ブロック内のセルを同時に消去するために、一括セット動作が可能であること、(2)リセットプログラム実行時に非選択セルへの影響（ディスターブ）を起こさず、また、選択セルに安定して書込みができること、が必要となる。測定により、一括セット消去は、印加電圧を少し上げることにより可能となることが分かった（図 2）。また、リセットプログラムを確実にを行うためのトランジスタの条件を検証したところ、単体デバイスで必要とされるリセット電流の約 4 倍のオン電流が駆動できれば、ディスターブの影響なく安定して書き込めることが分かった（図 3）。また、これらを採用することにより、従来と比較して、約 7.7 倍の書込み高速化が得られるとの見積りを得た（図 4）。

参考文献: [1] Y. Sasago, *et al.*, *VLSI Symp.* (2011) 96, [2] M. Kinoshita, *et al.*, *VLSI Symp.* (2012) 35, [3] K. Yoshioka, *et al.*, *IEEE IMW*, (2012).

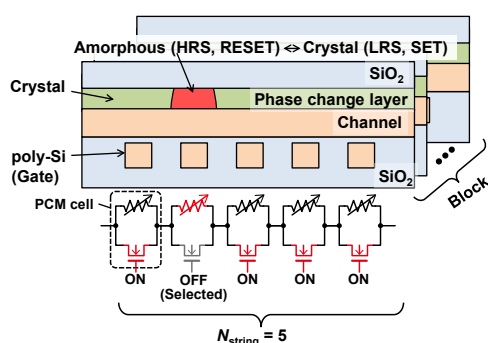


図 1 NAND 型相変化メモリ。

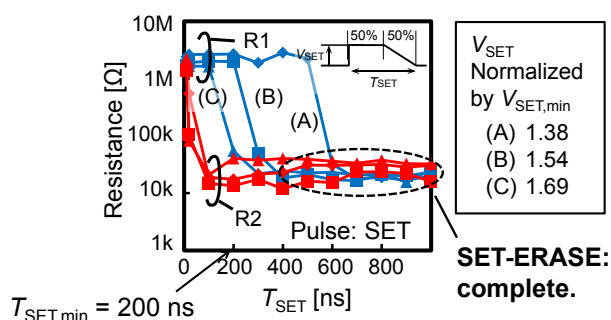


図 2 一括セット消去動作。

I_{on} (Normalized by $I_{RST,min}$)	V_{RST} (Normalized by $V_{RST,min} = 2.8$ V)					
	(A) 0.89	(B) 1	(C) 1.04	(D) 1.07	(E) 1.11	(F) 1.13
1.0	Fail	Fail	Fail	Fail	Fail	Fail
1.5	Fail	Fail	Fail	Fail	Fail	Fail
2.3	Fail	Fail	Fail	Fail	Fail	Fail
3.3	Fail	Fail	Fail	Fail	Fail	Pass
4.4	Fail	Fail	Fail	Pass	Pass	Pass
5.7	Fail	Pass	Pass	Pass	Pass	Pass
7.2	Fail	Pass	Pass	Pass	Pass	Pass

Due to program fail

Due to disturb fail

図 3 リセットプログラムの動作条件。

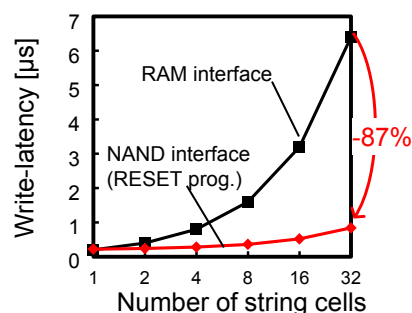


図 4 従来(RAM interface)との書込みレイテンシ比較。