28a-B1-5

転写モールド法エミッタ用導電性セラミック薄膜の電子状態

Electrical States of Conductive Ceramic Thin Film for Transfer Mold Field Emitter Arrays

静岡大学電子工学研究所 °佐野 恭央, 中本正幸

Res.Inst.Electronics , Shizuoka Univ. , °Yasuo Sano and Masayuki Nakamoto

E-mail: m-nakamoto@rie.shizuoka.ac.jp

【はじめに】　我々は、Field Emitter Arrays(FEAs)を用いた苛酷な環境でも耐えられる宇宙用デバイスを提案しており、その実現のため中本研独自の低仕事関数材料である導電性セラミック Cr_3Si・SiO_2 の研究を行っている [1]。本研究では、SiO_2 比率を変化させた Cr_3Si・SiO_2 薄膜を作製し、薄膜の電子状態を調べた。

【実験】　多元マグネトロンスパッタリング装置を用いて、SiO_2 比率を変化させて Cr_3Si と SiO_2 の同時スパッタリングにより、Cr_3Si・SiO_2 薄膜を作製した。作製した薄膜の状態密度及び結晶格子の歪を、それぞれ、紫外線光電子分光法(UPS)、X 線回折法(XRD)を用いて評価した。

【結果】　Cr_3Si・SiO_2 薄膜の状態密度のピーク強度と SiO_2 比率の関係を Fig.1 に示す。SiO_2 比率が 18%の場合に状態密度のピーク強度が最大となった。Cr_3Si・SiO_2 薄膜の b 軸の格子定数と SiO_2 比率の関係を Fig.2 に示す。SiO_2 比率が 16-18%を超えると大幅に b 軸の格子定数は増加した。結晶格子の歪は 16-18%付近から大きくなったと考えられる。Cr-O 結合の比率と SiO_2 比率の関係は Fig.3 に示すように、SiO_2 比率が 18%の場合に Cr-O 結合の比率が最大となった [2]。また、Cr_3Si・SiO_2 薄膜の仕事関数は、SiO_2 比率が 18%の場合に最小となり、金属 Cs の 1.9eV 同等以下の 1.8eV 程度であった [3]。SiO_2 比率が 18%の場合に Cr_3Si・SiO_2 薄膜の状態密度のピーク強度、Cr-O 結合の比率が共に最大となるため、結晶格子の歪に起因して、Cr_3Si・SiO_2 薄膜の仕事関数が最も低くなった可能性がある。

【結論】　SiO_2 比率を変化させた導電性セラミック Cr_3Si・SiO_2 薄膜を作製し、電子状態を調べた。SiO_2 比率 18%で状態密度のピーク強度、Cr-O 結合の比率が最大となった。結晶格子の歪の増大が、Cr_3Si・SiO_2 薄膜の仕事関数の変化に関係している可能性がある。

1)　石原篤志　他, 2009 年春季　第 56 回応用物理学関係連合講演会講演予稿集　p.751 (2009).
2)　佐野恭央　他, 2012 年春季　第 59 回応用物理学関係連合講演会講演予稿集　p.07-122 (2012).
3)　佐野恭央　他, 2011 年春季　第 58 回応用物理学関係連合講演会講演予稿集　p.07-120 (2011).

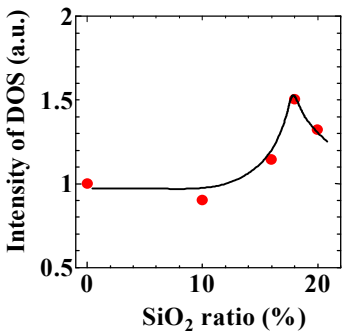

Fig.1 Relation between intensity of DOS and SiO_2 ratio

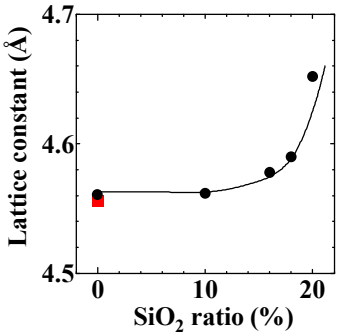

Fig.2 Relation between lattice constant and SiO_2 ratio

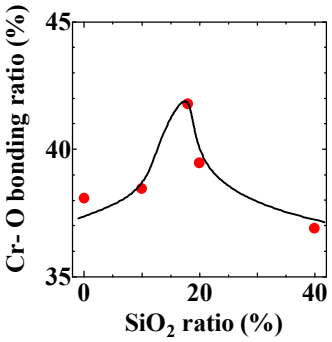

Fig.3 Relation between Cr-O bonding ratio and SiO_2 ratio

● Experimental value
■ Reference value

© 2013 年　応用物理学会