

Gate-All-Around InAs ナノワイヤ FET の ON/OFF 比改善 Improving ON/OFF ratio in the Gate-All-Around InAs Nanowire FET

NTT物性基礎研¹ ○佐々木智¹, 館野功太¹, Guoqiang Zhang¹, 原田裕一¹,
齊藤志郎¹, 藤原聡¹, 寒川哲臣¹, 村木康二¹

NTT Basic Research Labs.¹ ○S. Sasaki¹, K. Tateno¹, G. Zhang¹, Y. Harada¹,

S. Saito¹, A. Fujiwara¹, T. Sogawa¹, and K. Muraki¹

E-mail: sasaki.s@lab.ntt.co.jp

結晶成長によってボトムアップ的に得られる半導体ナノワイヤは、次世代ナノ電子デバイス材料として近年注目されている。特にナローギャップ材料であるInAsは本来高い移動度を有することから、これを伝導チャネルとする電界効果トランジスタ (FET) においては大きな駆動電流・相互コンダクタンスが得られるので、より低電源電圧動作が可能となる。一方、ナノワイヤをゲート電極で完全に取り囲んだGate-All-Around (GAA) 構造を採用すると、S値などのサブスレッショルド特性が改善するので待機電力消費が低下し、高ON/OFF比を有するFETが実現できると期待される。以前我々は、ゲート電極を2段階で形成した横型GAA InAsナノワイヤFETの作製を報告した[1]。特にゲート電極がソース・ドレイン電極とオーバーラップした構造においては、直列寄生抵抗の低減とゲート金属によるパシベーション効果による移動度向上を反映して、大きな駆動電流を得ることができた。しかしながら、GAA構造であるにもかかわらずS値は400 mV/dec以上と、室温における理想値の60 mV/decより大きな値にとどまっていた。今回我々は、同様のFET構造において、ポストアニリングを行うことにより、S値が大幅に改善できることを見出したので報告する。

図1は作製したナノワイヤFETの模式図である。原子層堆積法 (ALD) による Al_2O_3 ゲート絶縁膜 (EOT: 2.7 nm) で被覆されたナノワイヤが、上下からゲート電極に挟まれたGAA構造になっている。ソース・ドレイン電極として表面に Al_2O_3 酸化膜が形成されたAlを用いており、これにゲート電極が上下からオーバーラップしている。図2に示すのはゲート長 (= チャネル長) 200 nm、直径80 nmのInAs GAAナノワイヤFETの室温における伝達特性 (ドレイン電圧 $V_d = 0.1$ V) である。作製直後のS値は350 mV/decにとどまっているものの、300°Cで1分間ポストアニリングを追加することによって、S値が140 mV/decへと著しく改善した。アニールによりON電流は若干低下したものの、OFF特性の向上がこれを上回り、最小電流と最大電流の比で定義したON/OFF比は、アニール前が 2.0×10^4 だったものが、アニール後には 3.9×10^4 に改善した。これまでに、InAsナノワイヤFETのチャネル中央部に薄いInAsP障壁層を挿入し、サブスレッショルド領域におけるキャリアの伝導を妨げることによって、S値を改善した例が報告されている[2]。図2の我々の実験データにおいても、ON電流の低下や閾値の正電圧方向

へのシフトなど、アニールによる障壁層の形成が示唆されている。そこで、断面TEMならびにEDS分析を行ったところ、InAsナノワイヤとAlソース・ドレイン電極界面において、InAlAs混晶層が形成されていることが確認された。このInAlAs層が障壁としてS値の改善に寄与していると考えられるが、アニールによる界面準位密度の低下も同時に起こっている可能性もあり、詳細を検討中である。

[1] 佐々木智 他、2012 春季応用物理学会 18a-E1-10.

[2] E. Lind *et al.*, NanoLett. **6**, 1842 (2006).

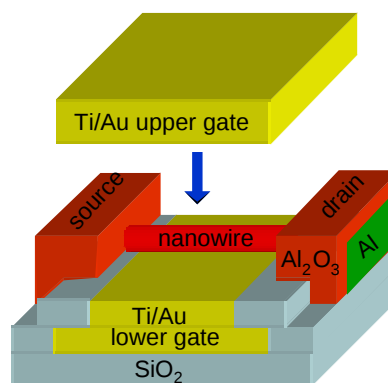


図1: デバイス構造模式図

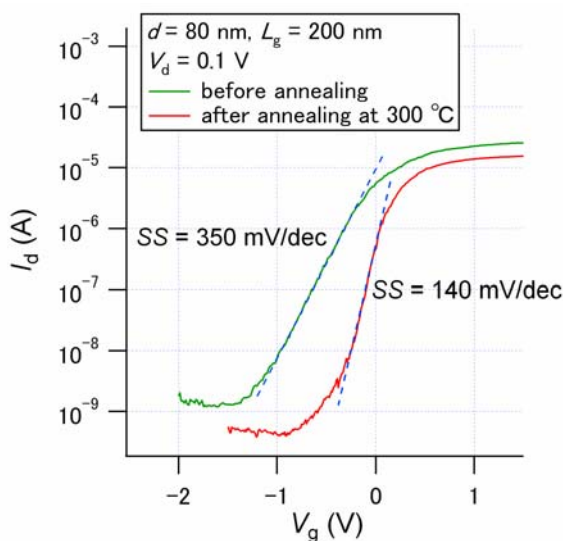


図2: FET の室温転送特性