28a-G11-4

AlGaN/GaN MOS-HEMT の電気特性とヘテロ MOS 界面評価

Characterization of Electrical Properties and Hetero-MOS Interface States of AlGaN/GaN MOS-HEMTs

北大量集センター 情報科学研究科 [1], JST-CREST [2] ○堀 祐臣 [1], 谷田部 然治 [1], 橋詰 保 [1,2]

RCIQE, Graduate School of Information Science and Technology, Hokkaido Univ.[1], JST-CREST[2]

○Yujin Hori[1], Zenji Yatabe[1], and Tamotsu Hashizume[1,2]

E-mail: hori@rciqe.hokudai.ac.jp

【はじめに】AlGaN/GaN 高電子移動度トランジスタ(HEMT)では、ゲートリーク電流を抑制するために MOS ゲート構造がよく用いられるが、AlGaN との MOS 界面に存在する比較的高密度な電子準位はデバイスの電気特性に様々な影響を与える可能性がある。このため、電気特性と MOS 界面準位の関係を明らかにする必要があり、特にヘテロ構造上での MOS 界面評価が重要である。本研究では AlGaN/GaN MOS-HEMT における電気特性とヘテロ MOS 界面準位の関係を評価した。

【実験と結果】図 1 に、作製した $Al_2O_3/Al_{0.23}Ga_{0.77}N$/GaN HEMT の模式図を示す。はじめに、AlGaN 上に熱処理に対する表面保護膜として 10 nm の SiN 膜を堆積した後、Ti/Al/Ti/Au ソース・ドレイン電極を形成し、N_2 雰囲気中で 800 °C、1 分間の熱処理を行った。素子分離後に SiN 膜を除去し、AlGaN 表面への N_2O ラジカル照射による表面処理プロセスを行った[1]。原子層堆積法を用いて 10 nm の Al_2O_3 膜を堆積し、最後に Ni/Au ゲート電極を形成した。

図 2 に、作製した MOS-HEMT の飽和領域における伝達特性を示す。表面処理を行わなかった場合はゲートに順バイアスを印加した際のドレイン電流の増加が阻害されたのに対し、N_2O ラジカル表面処理を行ったデバイスでは順バイアス印加時の電流増加が抑制されておらず、表面処理による Al_2O_3/AlGaN 界面準位密度の差によるものと予想される。そこで、界面準位の評価を行うために、図 3 に示すように順バイアス領域についてのダイオード構造の C-V 評価を行った。ゼロバイアスでの測定値は 10nm-Al_2O_3 層、25nm-AlGaN 層の直列接続容量に対応している。理想特性と比較した C-V 曲線の傾きの減少は、界面準位の影響によるものであるが、N_2O ラジカル処理を行った場合の容量の立ち上がり電圧の減少と最大容量値の増加は、Al_2O_3/AlGaN 界面準位密度の減少を示唆しており、図 2 における伝達特性の改善に寄与しているものと思われる。

[1] Y. Hori *et al.* Phys. Status Solidi C **9**, No. 6, 1356 (2012)

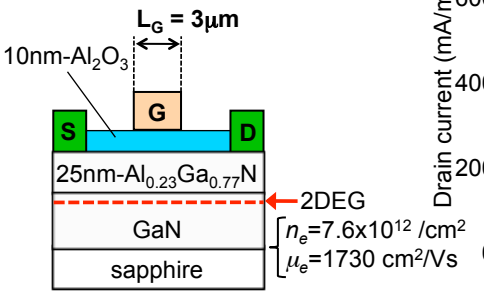

図1 Al_2O_3/AlGaN/GaN HEMT構造

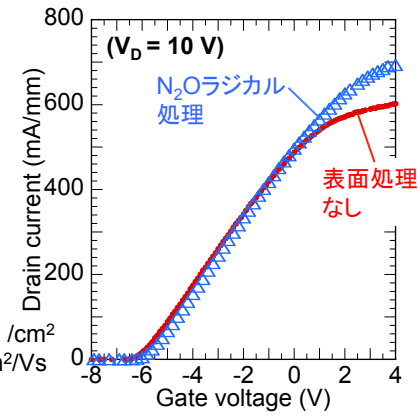

図2 MOS-HEMTの伝達特性

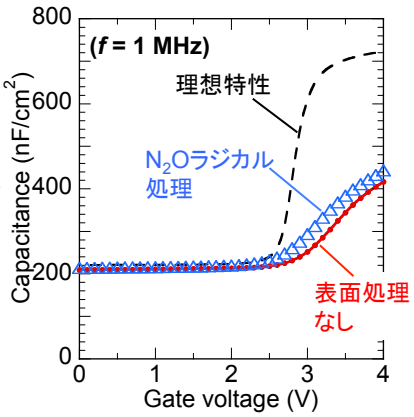

図3 ダイオード構造のC-V特性

© 2013 年　応用物理学会