

ナノインプリント法を用いた段差型有機トランジスタの作製

Fabrication of Step-Edge Vertical Channel Organic Field-Effect Transistors

Using Nanoimprint Lithography

千葉大院工¹, 千葉大教育², ○橋詰 貴裕¹, 友永 悠¹, 相野 類¹,山内 博¹, 國吉 繁一¹, 酒井 正俊¹, 飯塚 正明², 工藤 一浩¹Graduate School of Eng., Chiba Univ.¹, Faculty of Education, Chiba Univ.²○Takahiro Hashizume¹, Yu Tomonaga¹, Rui Aino¹, Hiroshi Yamauchi¹, Shigekazu Kuniyoshi¹,Masatoshi Sakai¹, Masaaki Iizuka² and Kazuhiro Kudo¹

E-mail: hashizume@chiba-u.jp

有機トランジスタはフレキシブル、軽量、印刷プロセスで作製可能といった利点があるが、低移動度に起因する低動作速度、低 ON 電流といった欠点がある。これらの欠点を改善するためには短チャネル化が有効である。本研究では、段差構造を利用することで容易にサブミクロン長の短チャネルを実現することができる段差型有機トランジスタ(Step-Edge Vertical-Channel Organic Field-Effect Transistor: SVC-OFET)¹⁾ をナノインプリントリソグラフィ(Nanoimprint Lithography: NIL)法により作製し、その素子特性を調べた。NIL 法はフォトリソグラフィ法など、他の微細加工技術と比較して簡便・安価であることを特徴としている。

Fig.1(a)に NIL 法による SVC-OFET の作製プロセスを示す。まず、あらかじめ上部電極 (Au) / 高分子(PMMA)/ゲート電極(Al)/高分子(PMMA)の積層構造を基板上に作製する。その後、微細加工した型版(Si Mold)を用いてナノインプリントしたときに上部電極(Contact Electrode)は切断され、段差部にはサブミクロンギャップを有するソース・ドレイン電極が形成される。一方、ゲート電極は押し込まれる際に湾曲する。最後に有機半導体層を形成することで SVC-OFET が完成する (Fig.1(b))。この NIL 法を応用した方法は、簡便かつ、サブミクロンチャネル長を有する有機トランジスタの作製法である。将来的には、オールウェットプロセスによる SVC-OFET 作製を目標にしているが、本研究では一部ドライプロセスを含めて素子作製を行った結果について述べる。

1) T. Takano et al., Appl. Phys. Express 2, 7 (2009) 071501.

謝辞：本研究の一部は (独) 新エネルギー・産業技術総合開発機構 (NEDO) の委託を受けて実施したものである。

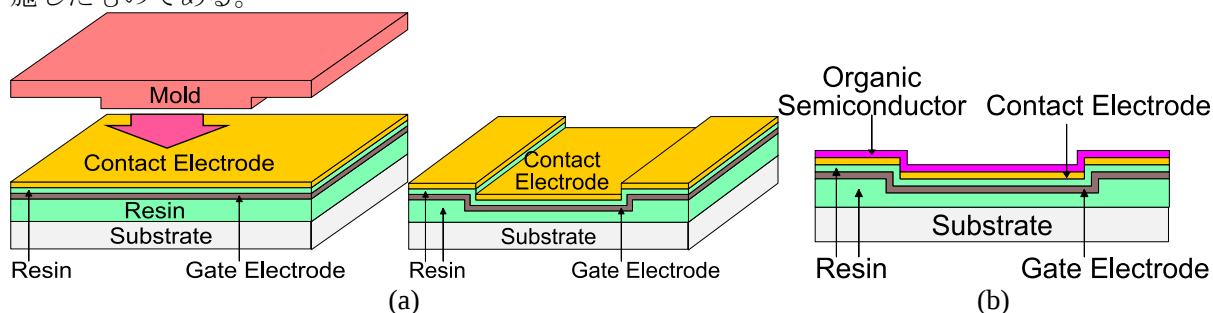


Fig. 1. (a) Fabrication process of step-edge structure by NIL, (b) Schematic view of SVC-OFET.