

低温で作製したアナターゼ型 TiO_2 膜の電気特性

Electrical characteristics of Anatase- TiO_2 films by low temperature fabrication

芝浦工大¹, 物材機構² 木村 将之¹, 〇生田目 俊秀², 山田 博之¹, 大井 暁彦²,
成島 利弘², 知京 豊裕², 大石 知司¹

Shibaura Institute of Tech.¹, NIMS², Masayuki Kimura¹, 〇Toshihide Nabatame²,

Hiroyuki Yamada¹, Akihiko Ohi², Toshihiro Narushima², Toyohiro Chikyow², Tomoji Ohishi¹

E-mail: NABATAME. Toshihide@nims.go.jp

【緒言】

更なる高誘電率(Higher-k)絶縁膜を用いた 3 次元のゲートスタック構造の CMOS は、主に原子層成膜(ALD)法を用いた低温(<600°C)のゲートラストプロセスで作製されている。 TiO_2 材料は結晶化温度が低くて k 値も高い魅力的な物性を有するが、ALD 法で作製した TiO_2 膜の物性及び High-k/ SiO_2 ヘテロ界面での界面ダイポールによるフラットバンド電圧(V_{fb})シフトに関する報告はない。そこで、本研究では、ALD 法と低温熱処理(PDA)法で作製したアナターゼ型 TiO_2 膜の基礎物性及び V_{fb} シフトについて検討した結果を報告する。

【実験方法&結果】

$\text{SiO}_2/\text{Si}(100)$ 或いは(111)基板上へ、成膜温度 200°C で $\text{Ti}[\text{N}(\text{CH}_3)_2]_4$ 原料と H_2O の ALD 法で膜厚 3~6nm の TiO_2 膜を成膜した。続いて、 O_2 雰囲気、300~500°C の PDA 処理した。また、PDA500°C で作製した TiO_2 膜を用いた TaC 或いは Pt ゲート電極 MOS キャパシタを作製した。

PDA500°C で作製した TiO_2 膜を用いた TaC ゲート電極 MOS キャパシタの断面 TEM 像を図 1 に示す。 TiO_2 層は格子像が認められ、XRD 測定よりアナターゼ構造であることが分かった。また、 TiO_2 膜厚と CET の関係より算出された k 値は、 $\text{Si}(100)$ 及び(111)基板共に 30 以上を示した。 SiO_2 及び種々の High-k 材料の CET と V_{fb} の関係を図 2 にまとめた。 SiO_2 キャパシタの V_{fb} 値に比べて、 TiO_2 膜は正方向に 0.08V シフトする。また、正方向の V_{fb} シフト値は、 Al_2O_3 膜(+0.72V)及び HfO_2 膜(+0.29V)に比べて非常に小さな値である事が分かった。これより、 $\text{TiO}_2/\text{SiO}_2$ 界面のダイポールの正負方向は Al_2O_3 と同じで、そのダイポールの強さは非常に弱いと考えられる。

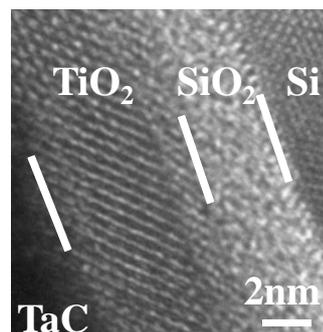


図1 TaC/ TiO_2 / SiO_2 / Si スタック構造の断面TEM像

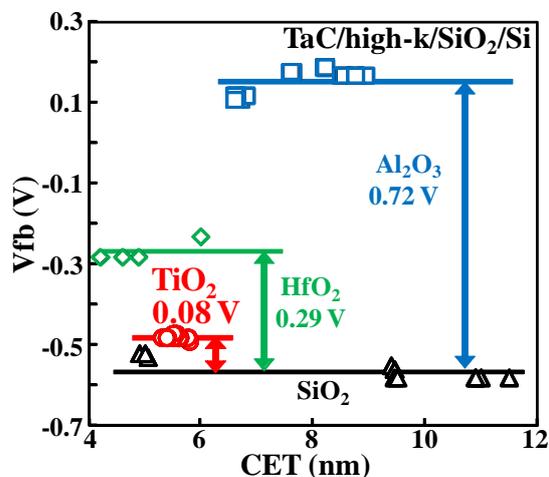


図2 SiO_2 に対する種々の High-k (TiO_2 , HfO_2 , Al_2O_3) 膜の V_{fb} シフトのまとめ