

300 mm シリコンウエハー上へのエピタキシャルリフトオフ法による III-V/Ge 高移動度チャネル材料転写技術

III-V/Ge High-mobility Channel Layer Transfer onto 300 mm Silicon Wafers

Using Epitaxial Lift-Off Technique



産総研¹, 住友化学², 日立国際電気³ ^{○(PC)}三枝栄子¹, 前田辰郎¹, 宮田典幸¹,
安田哲二¹, 前田敦彦¹, 倉島優一¹, 高木秀樹¹, 青木健志², 山本武継², 市川磨², 長田剛規²,
秦雅彦², 小川有人³, 菊池俊之³, 国井泰夫³

AIST¹, Sumitomo Chemical Co., Ltd.², Hitachi Kokusai Electric Inc.³

^{○(PC)}Eiko Mieda¹, Tatsuro Maeda¹, Noriyuki Miyata¹, Tetsuji Yasuda¹, Atsuhiko Maeda¹,
Yuichi Kurashima¹, Hideki Takagi¹, Takeshi Aoki², Taketsugu Yamamoto², Osamu Ichikawa²,
Takenori Osada², Masahiko Hata², Arito Ogawa³, Toshiyuki Kikuchi³, Yasuo Kunii³

E-mail: eiko-mieda @aist.go.jp

【背景・目的】

LSI の微細化が物理的限界に近づく中、更なる高性能化を実現するために、よりキャリア移動度の高い III-V/Ge チャネル材料への期待が高まっている。このような高移動度チャネル材料の実用化には、現在量産レベルで使用される 300mm Si ウエハー上に高品質な III-V/Ge 層を形成する技術が必須となる。しかし、従来のヘテロエピ成長を用いた方法では、III-V と Ge といった異なる材料を Si ウエハー上へ混載することは非常に困難である。そこで我々は、貼り合せ技術とエピタキシャルリフトオフ(ELO)法を用いることで高品質 III-V/Ge 結晶層の転写技術を開発してきた[1]。今回、高品質 III-V/Ge プラットフォーム基板の実用化を目指し、ELO 法による 300mm Si ウエハー上への GaAs または Ge 層転写に成功したので報告する。

【結果と考察】

ELO 法は本来、剥離層の横方向エッチングを利用するため、大面積での転写には不向きである。しかしながら、実際の III-V/Ge デバイスのチャネル形成を考えると、Si ウエハー全面に III-V/Ge のような材料は必要なく、チャネル領域にのみあれば良い。そこで今回、転写する材料をパターンニングしてから転写・剥離を行う、パターン ELO 法を適用した。まず、GaAs 基板の上に AlAs 層を挟んで高品質な GaAs 層 (Epi-GaAs) をエピタキシャル成長し、Epi-GaAs/AlAs/GaAs 構造の基板を作製した。300×300 μm² の格子パターンを全面にパターンニングした後、Epi-GaAs/AlAs 層をエッチングし、300mmSi ウエハーに常温接合した。AlAs 層を HCl 水溶液により溶解し、GaAs 基板を剥離することで、GaAs 基板の回収と共に Epi-GaAs チップを Si ウエハー上へ転写することに成功した。(図 1) 転写後の Epi-GaAs チップの品質を、PL および XRD 測定で評価した。PL スペクトルの FWHM は、エピ成長後の GaAs 層とほぼ同等の値であることが確認できた。また、XRD による結晶構造解析の結果から、転写後の Epi-GaAs チップに加わる膜ひずみは 0.1%以下であることが分かった。これらの結果から、Epi-GaAs チップの結晶構造は、転写前と遜色ない良好な結晶構造を保っていることが明らかとなった。大口径化技術として、一枚の基板に複数枚貼り合わせるマルチ転写も達成した。(図 2) また、BOX 層として膜厚 10 nm の Al₂O₃ を形成した GaAs-on-insulator (III-V-OI) 構造、さらには Ge-on-insulator (GOI) 構造の基板作製にも成功している。今回の成果は、高性能 III-V/Ge LSI に向けた基板エンジニアリングとして期待される。

[1] T. Maeda et al., SSDM 2011, p.1442.

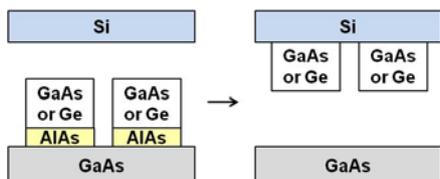


Fig.1 Schematic flow of patterned GaAs or Ge ELO process.

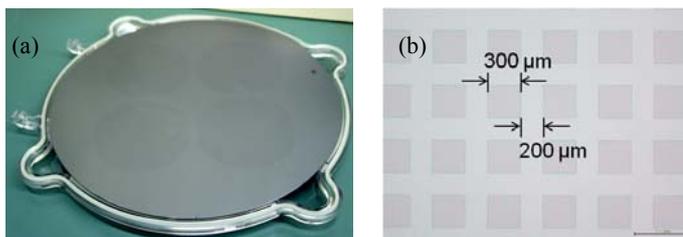


Fig.2 (a) Outward appearance of 300 mm Si wafer bonded GaAs patterns. (b) Micrograph of patterned GaAs layer.