

不良セルへの電荷同時注入による修復技術を用いた低消費電力 6T-SRAM

Low Power 6T-SRAM with a Carrier-Injection Scheme to Simultaneously Pinpoint and Repair Disturb Fails

中央大学¹, 半導体理工学研究センター² ○宮地 幸祐¹, 宮野 信治², 竹内 健¹Chuo Univ¹, STARC², ○Kousuke Miyaji¹, Shinji Miyano² and Ken Takeuchi¹

E-mail: miyaji@takeuchi-lab.org

1.はじめに

近年、6T-SRAM セルのパスゲートトランジスタ (PG) に電子注入して動作マージンを向上する手法が提案されている[1]。この方式は電圧アシスト方式[2]と比べて回路への実装が容易かつばらつきの分布そのものを低減することが可能である。しかし、従来の注入手法[1]では正常セルを含む全てのセルの PG で注入が生じていたため、読み出しの遅延やエネルギーの増大、注入時間や注入電流の増大を招いていた。本研究ではこれらの問題を解決するため、不良セルにのみ同時に電子注入を行う新規注入手法を提案し、その効果を 40nm 世代 CMOS プロセスの SRAM を用いて実証する。

2.提案注入手法

提案注入手法は読み出しマージンの少ないセルを自動的に検出し、それらのセルにのみ選択的に電荷注入を行う。0 データ読み出し不良セルを修復する場合 (図 1)、全セルに 0 データを書き、その後読み出しディスタurbを全セルに加える。これにより読み出しマージンが低いセルのデータのみ反転する。そして注入用のバイアスを印加することで反転したセルの PG にのみ同時に電子注入が生じる。1 データ読み出し不良セルの修復は 0 データの場合に対してデータの極性のみ異なる。本手法は注入時間が従来手法と比べ $N_{WL}/2$ 倍 (N_{WL} はワード線本数) 高速である。図 2 は 0 データ修復における注入中のセルのバイアス状態である。注入中はセル電源電圧 V_{CELL} を昇圧し、全てのワード線および列が選択される。書き込みアンプは 0 (1) データ修復の時は 0 (1) データを出力するように設定する。こうすることで不良セルの PG にホットキャリア注入 (HCI) が生じ、そのセルの安定性が向上する。不良セルから発生する注入電流は同カラムの正常セルを介して GND へ到達する。一方、正常セルの PG はビット線とワード線がともに周辺電源電圧 V_{PERI} なので、オフ状態となり HCI は生じない。

3. 結果

40nm 世代 CMOS プロセスで SRAM アレイを試作した。図 3 に提案手法の電荷注入前後のフェイルビットカウント測定結果を示す。読み出しディスタurbのフェイルが改善され、動作マージンが 40mV 向上している。従来手法で同程度の効果を得るには 32 倍の注入時間がかかる。また、不良セルにのみ注入が生じるため、読み出しビット線遅延は従来手法に対し 57% 低減され、ビット線充放電電力も 31% 低減されることが判明した。

4.結論

本研究では不良セルにのみ同時に電荷注入を行う新規注入手法を提案し、その効果を、40nm 世代 CMOS プロセスを用いた SRAM で実証した。動作マージンを 40mV 改善しつつ、従来手法に対

し読み出しビット線遅延を 57% 低減、ビット線消費電力を 31% 低減した。

謝辞

本研究は NEDO の助成を受けている。

参考文献

- [1] K. Miyaji et al, *JSSC*, **46** (2011) 2180.
- [2] H. Nho et al., *ISSCC*, pp. 346-347, 2010.

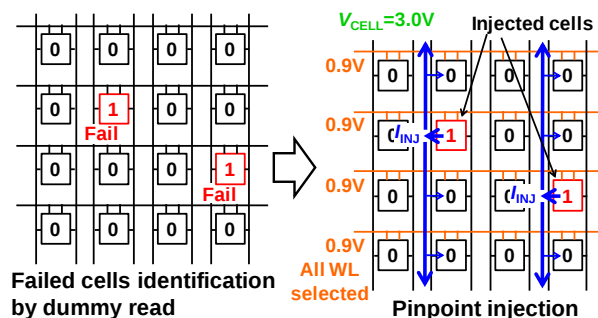


図 1 提案注入手法

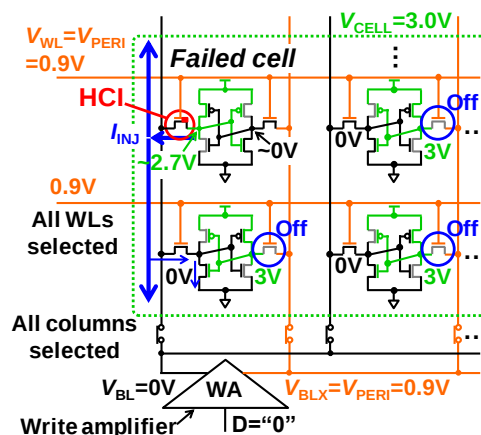


図 2 提案注入手法の注入バイアス印加状態

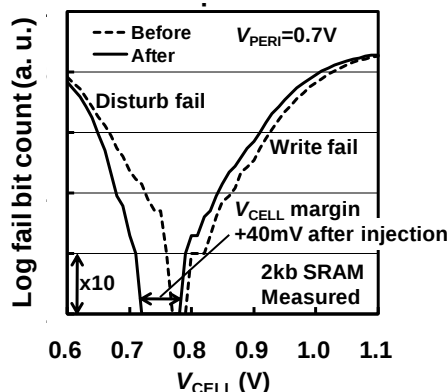


図 3 提案電荷注入前後の SRAM フェイルビットカウント。注入条件は $V_{CELL}=3.0V$ 、 $V_{PERI}=0.9V$ 、20 秒。