28a-G9-7

ナノ CMOS 技術を用いた擬似スピン MOSFET および不揮発性 SRAM セルの性能と設計

Performance and design of pseudo-spin-MOSFET and nonvolatile SRAM cell using nano-CMOS technology

東工大像情報 [1]，東工大院総理工 [2]，科技機構 CREST[3]，神奈川科学技術アカデミー[4]
○周藤 悠介 [1,3,4]，山本 修一郎 [2,3]，菅原 聡 [1,3]
ISEL, Tokyo Inst. Tech. [1], Dept. Info. Processing, Tokyo Inst. Tech. [2], CREST, JST[3], KAST[4]
○Y. Shuto[1,3,4], S. Yamamoto[2,3], S. Sugahara[1,3]
E-mail: shuto@isl.titech.ac.jp

【はじめに】我々はこれまでにマイクロプロセッサ，SoC などの CMOS ロジックシステムの理想的なパワーゲーティング(PG)を実現するため，擬似スピン MOSFET (PS-MOSFET) を用いた不揮発性 SRAM (NV-SRAM) や不揮発性フリップフロップ (NV-FF) を提案・解析してきた[1-7]．PS-MOSFET は通常の MOSFET とスピントランスファートルク強磁性トンネル接合 (STT-MTJ) 素子から構成されるスピントランジスタで，既存の MRAM (スピン RAM) を用いて実現できる．我々は，また，これらの NV-SRAM, NV-FF を用いた不揮発性パワーゲーティング (NVPG) を提案し，Break-even time (BET) を性能指標としたマイクロアーキテクチャの開発を行ってきた．NVPG では，現行の PG に比べてよりエネルギー削減効率の高い (空間的・時間的最適粒度の) パワーゲーティングが実現可能である．今回は，ナノ CMOS 技術を用いた PS-MOSFET と NV-SRAM の性能の検証と設計法について報告する．

【計算方法】図 1 に PS-MOSFET と NV-SRAM の回路構成を示す．動作検証は HSPICE プログラムを用いて行った．MOSFET には 65，45，22nm の Predictive Technology Model (PTM) [8]，STT-MTJ については我々独自に開発したマクロモデル [3,6] を用いた．MTJ サイズは MOSFET のサイズとともにスケーリングした．抵抗面積積 RA を 1 ~ 20 Ω·μm^2，磁化反転の臨界電流密度 J_C を 0.5 ~ 5 MA/cm^2，TMR 比を 50 ~ 500%の範囲で変化させた．通常の SRAM 部は 65nm 世代の最適設計を参照し，W/L 比を維持したままスケーリングした．

【計算結果】図 2 に PS-MOSFET の出力特性を示す．どの世代においても MTJ 磁化状態に対応した電流駆動能力を示し，平行磁化では出力電流は高く (I_D^P)，反平行磁化では出力電流は低い (I_D^{AP})．また，電源電圧 (V_{DD}) 近傍のゲートバイアスの印加によってスピン注入磁化反転が実現されることがわかった．図 3 に磁気電流比 $\gamma_{MC}(=(I_D^P-I_D^{AP})/I_D^{AP})$ のドレインバイアス依存性を示す．比較として MTJ をドレイン側に接続した場合の γ_{MC} も示したが，この場合はドレインバイアスの増加に伴って γ_{MC} は急激に減少した．PS-MOSFET の場合はドレインバイアスの増加に対して高いγ_{MC}を維持することができる．これは MTJ による負帰還の効果による．また γ_{MC} はスケーリングに伴って増大する．この γ_{MC} は MOSFET の W/L 比，STT-MTJ の抵抗，および TMR 比を大きくすることで増加させることができる (図 4(a)(b))．また，PS-MOSFET の試作を行い，ここで開発した PS-MOSFET のシミュレーション技術との比較を行ったところ，実験結果を非常に良く再現できることがわかった[1]．以上の結果から，ナノ CMOS 世代においても十分な性能を持つ PS-MOSFET が設計可能であることがわかった．発表当日は，NV-SRAM の設計についても報告する．

【参考文献】[1] Y. Shuto *et al.*, IEEE IEDM2012, paper 29.6. [2] Y. Shuto, *et al.*, IEEE SNW2012, paper 4-3. [3] Y. Shuto, *et al.*, IEEE IMW2012, paper 16. [4] Y. Shuto *et al*, JJAP, **51**, 040212 (2012). [5] Y. Shuto, *et al.*, JAP, **105**, 07C933 (2009). [6] S. Yamamoto and S. Sugahara, JJAP, **49,** 090204 (2010). [7] S. Yamamoto, Y. Shuto, S. Sugahara, IET Electronics Letters, **47** 1027 (2011). [8] Predi ctive Technology Model [http://ptm.asu.edu/].

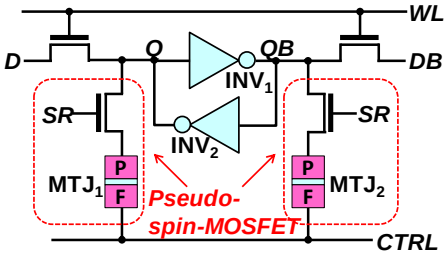

図 1: 擬似スピン MOSFET を用いた不揮発性 SRAM の回路図.

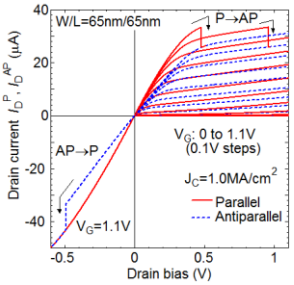

図 2: PS-MOSFET (L=65nm) の I_D-V_D.

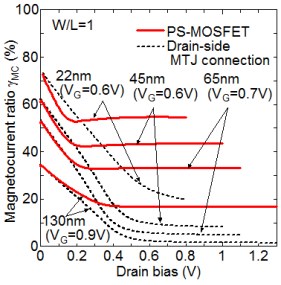

図 3: γ_{MC} のドレインバイアス依存性.

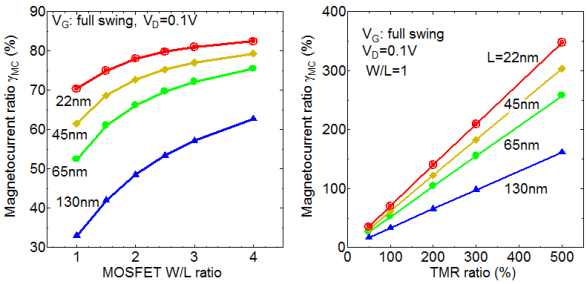

図 4: γ_{MC} の (a) MOSFET W/L 比依存性と (b) MTJ の TMR 比依存性.

© 2013 年　応用物理学会