

擬似スピン MOSFET を用いた不揮発性デュアルポート SRAM セルの提案と NVPG 応用

Proposal of nonvolatile dual-port SRAM cell using pseudo-spin-MOSFETs and its nonvolatile PG application

東工大総理工¹, 東工大像情報², 神奈川科学技術アカデミー³

山本 修一郎¹, 岡藤 悠介^{2,3}, 菅原 聡^{1,2}

IGS, Tokyo Inst. Tech.¹, ISEL, Tokyo Inst. Tech.², KAST³

S. Yamamoto¹, Y. Shuto^{2,3}, S. Sugahara^{1,2}

E-mail: shuto@isl.titech.ac.jp

【はじめに】我々はこれまでにマイクロプロセッサや SoC などの CMOS ロジックシステムのスタンバイパワーを高効率に削減できる不揮発性パワーゲーティング(NVPG)を提案し、これを実現するために必要となる擬似スピン MOSFET (PS-MOSFET) を用いた不揮発性 SRAM (NV-SRAM) と不揮発性フリップフロップ (NV-FF) を提案・解析してきた[1-7]。PS-MOSFET は通常の MOSFET とスピン注入磁化反転可能な強磁性トンネル接合 (STT-MTJ) から構成されるスピントランジスタであり、既存の MRAM (スピン RAM) を用いて実現できる。特に、この NV-SRAM, NV-FF を用いた NVPG について、Break-even time (BET) を性能指標としたマイクロアーキテクチャを開発し、NVPG を用いれば現行のパワーゲーティングに比べてより高効率にエネルギーを削減することができることを明らかにしてきた。

近年のマイクロプロセッサで使用されているパイプラインアーキテクチャでは短サイクル (理想的には 1 クロックサイクル) で 2 つ以上のレジスタファイルアドレスのアクセスを完了する必要がある。このため、2 つのアドレスに同時アクセス可能なデュアルポート SRAM や、それ以上のアドレスにアクセス可能な多ポート SRAM が使用されている。NVPG の効果をさらに高めるには、これらの SRAM の不揮発化を検討する必要がある。今回は、PS-MOSFET を用いたデュアルポート SRAM セルの不揮発化を提案し、NVPG 応用への可能性を検証するため、BET の評価を行った。

【計算方法】図 1 にこれまでに我々が提案してきたシングルポートの NV-SRAM セルと今回提案する不揮発性デュアルポート SRAM(NV-DPSRAM)の回路構成を示す。動作検証は HSPICE プログラムを用いて行った。MOSFET には 65nm の Predictive Technology Model (PTM) [8], STT-MTJ については我々独自に開発したマクロモデル [3,6] を用いた。MTJ サイズは $\pi \times 25^2 \text{ nm}^2$ とし、抵抗面積積 RA を $20 \Omega \cdot \mu\text{m}^2$, 磁化反転の臨界電流密度 J_c を 0.5 MA/cm^2 , TMR 比を 100% とした。通常の SRAM 部は 65nm プロセスによる最適設計を参照し、デュアルポート SRAM 部のドライバトランジスタのサイズ(W/L)はシングルポート SRAM の場合の 2 倍とした。

【計算結果】図 2 にシングルポートの NV-SRAM と NV-DPSRAM の BET を示す。NV-DPSRAM の場合でも、STT-MTJ への書き込み時の PS-MOSFET へのバイアスを調整 ($V_{\text{SR}}=0.7\text{V}$, $V_{\text{CTRL}}=0.4\text{V}$) [2,3] することで BET を削減できる。また、通常動作時に CTRL 線へ 0.1V のバイアス印加を行うことでリーク電流を減少させ、BET を削減できる[2,3]。さらに、ある状況下で許されるストア動作を行わないシャットダウンの場合 (store-free shutdown)では[4], BET を大幅に削減できる。NV-DPSRAM ではシングルポートの場合に比べて約 2 倍の BET の削減を達成できる。

【参考文献】[1] Y. Shuto *et al.*, IEEE IEDM2012, paper 29.6. [2] Y. Shuto, *et al.*, IEEE SNW2012, paper 4-3. [3] Y. Shuto, *et al.*, IEEE IMW2012, paper 16. [4] Y. Shuto *et al.*, JJAP, **51**, 040212 (2012). [5] Y. Shuto, *et al.*, JAP, **105**, 07C933 (2009). [6] S. Yamamoto and S. Sugahara, JJAP, **49**, 090204 (2010). [7] S. Yamamoto, Y. Shuto, S. Sugahara, IET Electronics Letters, **47**, 1027 (2011). [8] <http://ptm.asu.edu/>.

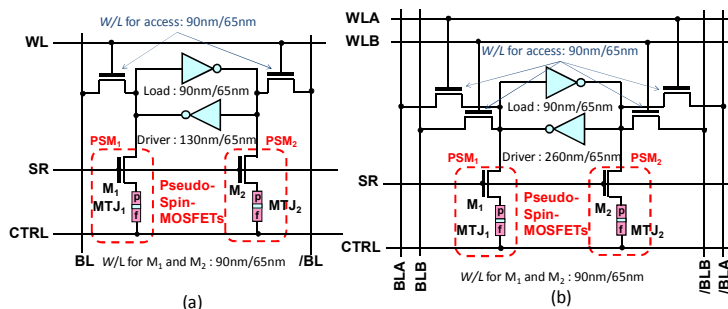


図 1: 擬似スピン MOSFET を用いた(a)不揮発性シングルポート SRAM と(b)不揮発性デュアルポート SRAM の回路図。

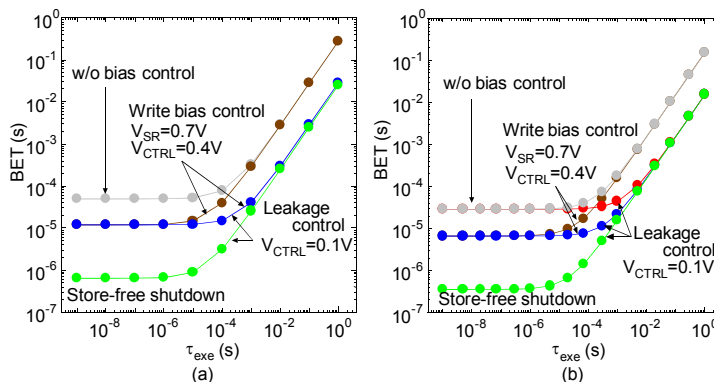


図 2: (a)不揮発性シングルポート SRAM と(b)不揮発性デュアルポート SRAM の BET の τ_{exe} (通常の SRAM 動作の実行時間)依存性。