28p-B9-3

SiN/AlGaAs/GaAs ナノワイヤ FET のしきい値制御

Control of threshold voltage in a SiN/AlGaAs/GaAs nanowire FET

北海道大学大学院情報科学研究科および量子集積センター　○黒田 亮太，葛西 誠也

Graduate School of Info. Sci. Tech. and RCIQE, Hokkaido Univ., ○Ryota Kuroda , Seiya Kasai

E-mail: kuroda@rciqe.hokudai.ac.jp

【はじめに】 ナノテクノロジーによって創出される材料・構造を活かした情報処理回路の実現を目指し、ナノワイヤネットワークのゲート制御による論理演算機能の実装を進めている。我々は回路に柔軟性を与える新たな手法として、しきい値論理[1]に着目し、GaAs ナノワイヤ FET 集積によるしきい値論理回路の試作を行った[2]。回路作製後の論理関数の変更を可能とするため、しきい値関数となる NMOS 型インバータのドライバ FET に SiN 膜をゲート絶縁膜とした MIS ゲートナノワイヤ FET を導入し、ヒステリシス特性の利用を試みた。しかし、インバータの FET のしきい値電圧が負に大きくシフトする課題があった。そこで今回は、ゲートのしきい値制御のため、SiN ゲート絶縁膜の堆積条件について検討した。

【実験方法】 ナノワイヤ FET は AlGaAs/GaAs ヘテロ構造をエッチングしてナノワイヤを形成した。ナノワイヤ幅は約 400 nm である。オーミック電極を蒸着し、合金化した後 ECR-CVD で SiN 膜を堆積し、MIS ゲートを形成した。基準となる SiN 膜の堆積条件は、流量 SiH_4 : N_2＝30 sccm : 1 sccm、基板温度 260 ℃、マイクロ波パワー100 W である。しきい値シフトは SiN 膜中の Si 未結合手による正の固定電荷と考えられる[3]。そこで正の固定電荷を少なくするため流量 SiH_4 : N_2＝1 sccm : 3 sccm、基板温度 300 ℃、マイクロ波のパワー150 W の堆積を行い、FET のしきい値を比較した。

【実験結果】 試作したナノワイヤ MISFET の伝達特性の測定結果を図 1 に示す。それぞれゲート電圧は負から正に挿引した。基準プロセスで SiN 絶縁膜を形成した FET では、しきい値電圧が-4.9V であったが、SiH_4 の流量を減らすことでしきい値電圧が+0.5V へと大きく正側にシフトした。SiH_4 の流量を少なし、基板温度を高く設定することにより SiN 膜の正の固定電荷が低減されたと言える。

[1] 室賀三郎、茨木俊秀、北橋忠宏 「しきい論理」産業図書，(1976).

[2] 黒田他、第 73 回応用物理学会学術講演会 12a-C8-5, (2012).

[3] J. Kanicki *et al*, *IEEE EDL*, 10, (1989), 277.

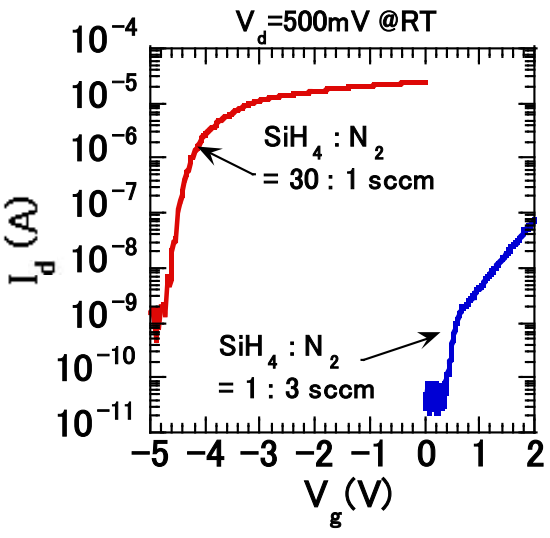

Fig.1　Measured transfer characteristics.

© 2013 年　応用物理学会