

ナノチャネルを有する強誘電体ゲート TFT の電気特性評価

Electric property of ferroelectric-gate TFT with nano-channel

阪府大 °野村 侑平, 吉村 武, 藤村 紀文

Osaka Prefecture Univ., °Y. Nomura, T. Yoshimura, N. Fujimura

E-mail: tyoshi@pe.osakafu-u.ac.jp

【緒言】強誘電体の自発分極によりチャネルのキャリアを直接制御する強誘電体ゲート TFT は高速動作、低消費電力化が可能な不揮発性メモリへの応用が期待される。これまでに報告された強誘電体ゲート FET のほとんどはチャネル長が $1\mu\text{m}$ 以上あり実用レベルのサイズでの特性評価はほとんど行われていなかったが、最近 EB 描画を用いてチャネル長 60nm の素子を作製し、高速かつ不揮発性記憶の動作が実証された[1]。我々はこれまで分極機能型強誘電体ゲート TFT の提案、素子作製とインピーダンス分光法を用いた動作特性の解析を行ってきた[2]。本研究では簡易にナノギャップ電極の形成が行え、かつレジスト残渣がチャネル領域に残りにくい傾斜蒸着法[3]を用いてサブ 100nm のチャネル長を有する素子を作製し、その電気特性評価を行った。

【実験】パルスレーザー堆積法により YMnO_3 薄膜を 100nm 、 ZnO 薄膜を 20nm 製膜した。製膜後、EB 蒸着とフォトリソグラフィによる傾斜蒸着法を用いて 100nm 程度のナノギャップを有する電極を作製し、 $\text{Au/Ti/ZnO/YMnO}_3/\text{PT/YSZ}$ の構造を有するボトムゲート型の TFT 素子を作製した。電極の膜厚、傾斜角度などを変化させてギャップ長の制御を行った。また作製した試料について電気特性評価を行った。

【結果と考察】 Pt/YSZ 基板の上に YMnO_3 薄膜を製膜温度 740°C 、 ZnO 薄膜を 580°C で製膜した。X 線回折よりそれぞれの薄膜が c 軸配向して成長していることを確認した。製膜後、傾斜蒸着法により Au/Ti 上部電極を作製した。SEM 観察によりドレイン-ソース電極間には約 100nm のナノギャップが形成されていることが確認できた(Fig.1)。

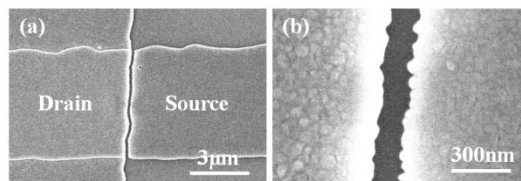


Fig. 1 SEM images of (a) topview of channel region and (b) nano-gap

作製した試料のトランジスタ特性評価を評価した。ドレイン電流-ゲート電圧特性の測定結果を Fig.2 に示す。ゲート電圧の印加によりドレイン電流が変調されており、また反時計回りのヒステリシスループを描くことから強誘電体メモリとしての動作が確認できる。一方で、チャネル長 $10\mu\text{m}$ の素子と比較すると ON 電流が減少していることが分かった。これは電界効果移動度が $1/10$ 程度に低下したことに起因している。講演ではインピーダンス分光を用いた解析と合わせて、移動度の低下の要因、強誘電体ゲート TFT の微細化による影響について議論する。

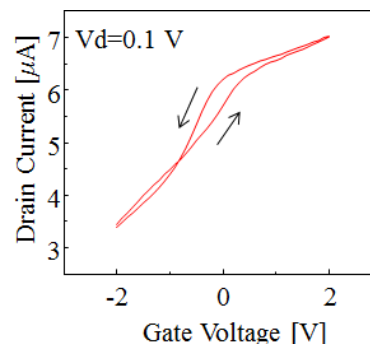


Fig. 2 I_D - V_G characteristics

- 1) T. Fukushima, K. Maeda, T. Yoshimura, A. Ashida, and N. Fujimura, Jpn. J. Appl. Phys., 50(2011)04DD16
- 2) Y. Kaneko, Y. Nishitani, M. Ueda, E. Tokumitsu, and E. Fujii, Appl. Phys. Lett., 99(2011)182902
- 3) Y. Naitoh, K. Tsukagoshi, K. Murata, and W. Mizutani, e-J. Surf. Sci. Nanotech., 1 (2003)41-44