

2 次元層状 MoS₂ トランジスタ形成プロセスの検討Investigation of Device Fabrication Processes for Ultra-thin MoS₂ Transistors

1 横国大院工 2 産総研 3 物材機構

○兼村瑠威¹, 森貴洋², 渡辺英一郎³, 津谷大樹³, 森山悟士³,
前田辰郎², 内田紀行², 宮田典幸², 安田哲二², 田中正俊¹, 安藤淳²

1 Yokohama National Univ. 2 AIST 3 NIMS

Rui Kanemura¹, Takahiro Mori², Eiichiro Watanabe³, Daiju Tsuya³, Satoshi Moriyama³,
Tatsuro Maeda², Noriyuki Uchida², Noriyuki Miyata², Masatoshi Tanaka¹, and Atsushi Ando²

E-mail: kanemura-rui-jp@ynu.ac.jp

次世代ナノエレクトロニクス材料として衆目を集める 2 次元層状材料の一つに MoS₂ がある。MoS₂ は比較的大きいバンドギャップを持つ半導体[1]であるため、低オフ電流を期待しての電界効果トランジスタへの応用を中心に研究がなされている[2,3]。その応用のためにはまずオーミック特性を持つ電極の形成が必要となる。今回我々は MoS₂ 電界効果トランジスタを試作し、電極形成等デバイス形成プロセスについて検討を行ったので報告する。

トランジスタの形成は、スコッチテープ劈開法によって SiO₂/Si 基板上に数層 MoS₂ のフレークを転写し、電子線リソグラフィによってデバイス領域の限定（素子分離）および電極形成を行った。形成されたトランジスタは転写先基板最上層の SiO₂ を絶縁膜として利用するバックゲート型である。MoS₂ 層数の評価は光学顕微鏡像およびラマン分光によって行った。

今回検討したプロセスを図 1 に示す。最終的なデバイス像は図 2 にある。まず、転写した MoS₂ フレークを短冊状に加工し、素子領域の限定を行った。これを実現するためには MoS₂ のエッチングが必要となるが、これは Ar プラズマ処理によって実現可能である。次に酸素アッシングによって MoS₂ 表層部のクリーニングを行った。アッシングプロセスは良好な電気特性を得るために必要だと考えているが、その一方で MoS₂ の層数減少が確認された。電極金属としては Ti および Ni について検討し、Ni において良好な特性が観測された。Ni 電極を用いる MoS₂ トランジスタは他にも報告例が見られる[4]。

今回報告するデバイスプロセスで形成された MoS₂ トランジスタは、6 桁以上の ON/OFF 比、および約 16cm²/Vs の電界効果移動度を示した（図 3）。期待される 100cm²/Vs を超える移動度を得るためには、絶縁膜/MoS₂ 界面の改善が必要だと考えており、今後研究を進めていく予定である。

【謝辞】本研究は、文部科学省ナノテクノロジープラットフォーム事業（NIMS 微細加工プラットフォーム）の支援を受けて実施されました。

[1] K.F.Mak et al, Phys. Rev. Lett. **105** (2010) 136805.[2] B. Radisavljevic et al, Nature Nanotech. **6** (2011) 147.[3] B. Radisavljevic et al, ACS Nano **5** (2011) 9934.

[4] A.T.Neal et al, DRC conference 2012, p. 65.

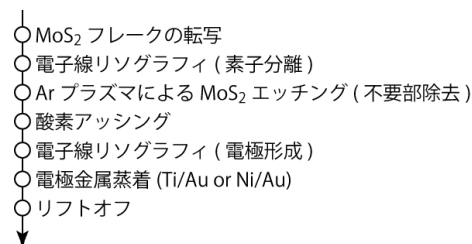
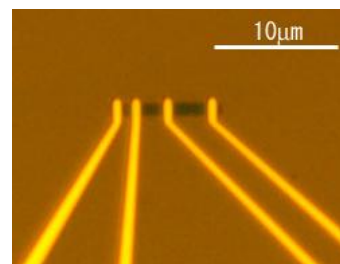
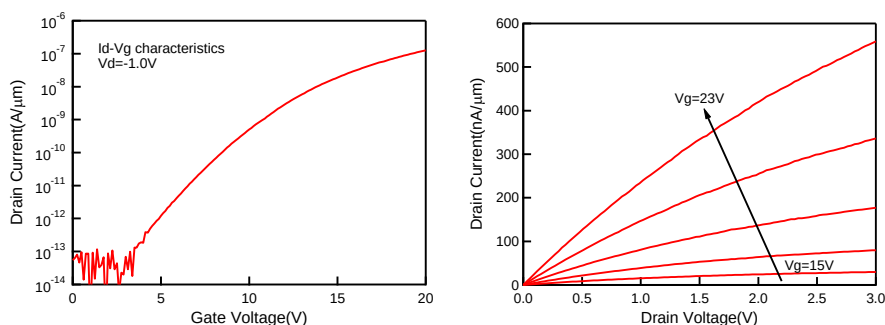
Fig. 1 Process flow to fabricate MoS₂ transistors.Fig. 2 Optical microscope top-view of fabricated MoS₂ transistor.

Fig. 3 (left) Gate characteristics. (right) output characteristics at a high gate overdrive.