Ge-MOS キャパシタの正確な界面準位密度評価:一定温度 DLTS Accurate characterization of interface-state densities for Ge-MOS capacitors 九大・産学連携センター¹,九大・大学院総合理工学研究院²,学振特別研究員³ 中島 寛¹,王 冬²,山本 圭介^{1,3}

KASTEC Kyushu Univ.¹, I-EggS Kyushu Univ.², JSPS research fellow³

Hiroshi Nakashima¹, Dong Wang², Keisuke Yamamoto^{1,3} E-mail : nakasima@astec.kyushu-u.ac.jp

1. はじめに Ge-MOS の界面準位密度 (D_{it}) は、Ge-MOSFET のチャネル移動度と密接に関係す るので、ゲートスタック研究に於いて MOSCAP の D_{it} を正確に評価することは重要である。DLTS は多数キャリアトラップがキャリアを放出する過程での電荷状態の変化を容量で観測する方法で ある。通常の DLTS 測定では、界面トラップに多数キャリアを完全に充たすため、十分に大きな 注入パルス電圧を印加する。この方法で Al/SiO₂/GeO₂/Ge ゲートスタックを測定した場合、禁制帯 中央付近での D_{it} 値は 4×10¹¹ cm⁻²eV⁻¹で、熱酸化 GeO₂/Ge の D_{it} 値(1×10¹¹ cm⁻²eV⁻¹)に比べて大き い。¹⁾ 更に、n-MOS と p-MOS の D_{it} 値は、禁止帯中央付近で明らかな不一致を示し、最悪の場合 1 桁の違いが生ずる。本発表では、この現象が注入パルス電圧の大きさと関係していること、こ の問題を回避するためには一定温度での DLTS 測定が必要であること、を報告する。

2. 実験と結果 DLTS 測定に用いた n-および p-MOSCAP の構造は、100 nm Al/50 nm TiN/11 nm SiO₂ /1.6 nm GeO₂/Ge である。²⁾ 同じ構造で、TiN 堆積後に 450°C-PMA を施した MOSCAP も評価した。 測定条件を Fig. 1 の挿入図で示す。220 K での C-V 特性からフラットバンド電圧 (V_{FB})を決定し、 逆バイアス (V_R) はバンド曲がり $\psi_S = \phi_B(= E_i - E_F)$ を満たす様にセットした。ここで、重要な量が 蓄積パルス電圧 (V_{AP}) で、 V_{FB} と印加パルス電圧 (V_P) との差で定義する。($V_{AP} > 0$ の時、蓄積 状態) この V_{AP} を等価 SiO₂ 換算膜厚 (EOT) で割った量が GeO₂/Ge 界面の実効電界強度となる。

220 K で所定の VAP にセットし、低温に冷却した後、 DLTS 測定を行った。p-MOSCAP(PMA 処理無し)の結 果を Fig. 1 に示す。ここで、縦軸の $\Delta C/C(\infty)^3$ が D_{it} と関係 する量で D_{it} 信号と呼ぶ。また、横軸の温度が界面準位 のエネルギー位置と関係する。VAPが小さい時(<0.2 V)、 温度低下に伴い、D_{it}信号が減少する。これは、温度低下 により V_{FB}が負方向にシフトし、その結果、V_{AP}が負とな り、浅いトラップのキャリア捕獲が困難となったことに よる。しかし、 V_{AP} の増加で D_{it} 信号は増加し、 $V_{AP} > 1 V$ で飽和する。このため、温度掃引 DLTS の場合、VAP を 高くセットしなければならない。一方、高温領域では、 V_{AP} の増加で D_{it} 信号が増加し、飽和傾向が見られない。 これは Ge-MOS 特有の現象である。この現象は、大きな VAPによりキャリアが GeO2/Ge 界面準位に捕獲されると 同時に、GeO2 中にも注入されて SiO2/GeO2 界面欠陥や GeO2中の欠陥(スロートラップ)に捕獲され、キャリア が GeO2/Ge 界面準位から放出される際に、スロートラッ_ プからも放出されることが原因である。

この問題は一定温度 DLTS により解決できる。即ち、 試料を一定温度に保ち、C-V測定結果から V_{FB} を求める。 それを基に $\psi_S = \phi_B$ を満たす V_R 値をセットし、 $V_{AP} = 0$ V を満たす V_P 値をセットし、DLTS 測定を行う。このよう にして求めた D_{it} 信号の温度依存性を Fig. 1 の黒丸(\oplus) で示す。この方法で求めた D_{it} のエネルギー分布を Fig. 2 に示す。 D_{it} 分布は、非対称な U 字分布であること、禁制 帯中央付近の D_{it} は 1×10¹¹ cm⁻²eV⁻¹で、450°C-PMA によ り 5×10¹⁰ cm⁻²eV⁻¹まで低減すること、が分かった。



Fig. 1 DLTS results for TiN-gated p-Ge MOS capacitors without PMA. The inset shows a schematic potential diagram of $V_{\rm R}$, $V_{\rm P}$, and $V_{\rm AP}$.



Fig. 2 D_{it} distributions for TiN-gated p- and n-Ge MOS capacitors. The measurement was performed using constant temperature DLTS method.

1) K. Hirayama et al., JJAP 50, 04DA10 (2011). 2) H. Nakashima et al., APL 98, 252102 (2011). 3) D. Wang et al., JAP 112, 083707 (2012).