28p-G6-14

## a-Si 細線を用いた大気圧マイクロプラズマジェット結晶成長制御による TFT 特性ばらつきの改善および5V 電源電圧での CMOS 回路動作 Improvement in Characteristic Variability of TFTs Using Grain Growth Control by Micro Thermal Plasma Jet Irradiation to a-Si Strips and CMOS Circuit Operation at Supply Voltage of 5V

広大院先端研 ° 森崎 誠司,林 将平,藤田 悠二,東 清一郎 Graduate School of Advanced Sciences of Matter, Hiroshima University °S.Morisaki, S. Hayashi, Y. Fujita and S. Higashi

**序**>これまで我々は、低コストの結晶化技術とし てマイクロ熱プラズマジェット(μ-TPJ)技術を提 案し、大粒径結晶成長[1]および高性能薄膜トラ ンジスタ(TFT)特性[2]を報告してきた。本研究で は、アモルファスシリコン(a-Si)細線を用いて μ-TPJによる結晶成長を制御し、TFTの特性ばら つきを改善した。さらに同様の細線構造の TFT を用いて CMOS 回路を作製し、回路動作を評価 した。

実験>石英基板上に PECVD 法を用いて 50nm の a-Siを堆積し、450℃の脱水素処理を行った。続 いてソース、ドレイン、チャネルを形成する a-Si をパターニングした。ここで特性比較のため、細 線パターン(Fig.1 (b)挿入図参照)と従来パターン の TFT を形成した。チャネル長(L)=10µm、チャ ネル幅(W)を従来パターンでは W=10µm、細線構 造では W=1µm×10 の分割構造とした。続いて、 大気圧下において Ar ガス流量 3.0slm、投入電力 (P)1.6kW、噴出口径 600µm より発生した µ-TPJ の前面 1.5mm において、速度(v)1600mm/sec で基 板を走査して a-Si パターンを結晶化した。この 条件では幅およそ 100µm の溶融領域が形成され るため、TFT 形成エリアのみに μ-TPJ を照射して 結晶化を行った。続いて、PECVD 法で 50nm の SiO<sub>2</sub>を、LPCVD 法で 250nm の a-Si を堆積した。 ゲート電極をパターニングした後、NMOS、 PMOS 領域にそれぞれ P+、BF<sub>2</sub><sup>+</sup>を 6.2×10<sup>15</sup>cm<sup>-2</sup> イオン注入した。続いて、μ-TPJ を P=1.5kW、 v=2000mm/sec の条件に変更して再度照射し、ソ ース、ドレイン、ゲート領域の不純物活性化を行 った。次に、APCVD 法を用いて層間絶縁膜を 650nm 形成し、コンタクトホール形成後に Al を 600nm スパッタリング法で堆積した。Al 配線を パターニング後に、高圧水蒸気処理(260°C、2MPa、 6h)を行い、自己整合トップゲート構造の TFT お よび回路を形成した。

結果および考察>TFT 作製プロセスにおいて、従 来パターンの TFT では溶融結晶化に伴うパター ンの崩れが発生した。これに対し細線パターンで は、崩れを抑えて溶融結晶化の歩留りを大幅に向 上することができた。さらに TFT 特性において、 従来パターンでは Fig.1(a)および Table.1(a)に示す ように TFT の特性ばらつきが大きいが、細線パ ターンの TFT 特性は、Fig.1(b)および Table1.(b)



**Fig. 1** Transfer characteristics of TFTs with (a)conventional channel and (b)strip channel.

**Table. 1** Characteristic variation [average and standard deviation( $\pm \sigma$ )] of TFTs with (a) convention channel and (b)strip channel.

		Vth (V)	$\mu_{FE}$ (cm <sup>2</sup> /Vs)	S-factor (mV/dec)
(a)	NMOS PMOS	3.3 (±0.25) -1.1(±0.93)	196 (±66.5) 88(±19.7)	354(±88) 237(±47)
(b)	NMOS	1.8(±0.10)	303(±24.4)	240(±17)
	PMOS	-1.8(±0.22)	98(±6.5)	285(±17)

に示すように、高性能かつ特性ばらつきを大幅に 低減でき、回路動作の見通しができた。同様に、 従来パターンおよび細線パターンを用いた CMOS 構造のシフトレジスタを形成し、動作評価 を試みた。従来パターンのシフトレジスタは動作 出来なかったが、細線パターンでは動作させるこ とができた。Fig.2 に示すように、電源電圧 5V、 クロック周波数4MHzで8ビットの出力を達成し た。

結論>a-Si 細線パターンで TFT を形成すること により、プロセスを増やすことなく特性ばらつき を改善でき、CMOS 回路の 5V 動作を達成できた。



**Fig. 2** Output characteristic of 8-bits shift register.

謝辞>本研究の一部は、 広島大学ナノデバイス・ バイオ融合科学研究所の 施設を用い、最先端・次 世代研究開発支援プログ ラム(NEXT プログラム) の支援の下に行われた。

- [1] S.Higashi et al: J. Appl. Phys.**50** (2011) 03CB10.
- [2] S.Hayashi et al: Appl. Phys Express 3 (2010) 061401.