28p-G7-10

鏡像効果を考慮した全周ゲート型ショットキー障壁トンネル FET の

伝達特性シミュレーション

Device Simulation of Gate-All-Around Schottky Barrier Tunnel FET Considering Image Force Effects 早大理工¹,CREST-JST² ○橋本 修一郎¹,川村 祐士¹, 鹿浜 康寬¹, 神岡 武文^{1,2}, 渡邉 孝信^{1,2} Waseda Univ. OShuichiro Hashimoto, Yuji Kawamura, Yasuhiro Shikahama, Takefumi Kamioka,

and Takanobu Watanabe

E-mail: hashimoto@watanabe.nano.waseda.ac.jp

【はじめに】CMOS デバイスのスケーリング限界を克服するデバイスの1つとして、ソース/ド レイン領域を金属シリサイドで置換し、ソース/チャネル間のショットキー障壁を介したトンネ ル電流をゲートで制御する FET (Schottky Barrier Tunneling FET; SBTFET) が提案されている[1]。 前回我々は、全周ゲート型 SBTFET(Gate-All-Around SBTFET; GAA-SBTFET)におけるナノサイズ の金属/半導体界面における鏡像効果について調査し、デバイス内の電界分布とショットキー障 壁高さに与える影響の解析結果を報告した[2]。今回、これまで得られた解析結果をもとに、 GAA-SBTFET の伝達特性を計算し、鏡像効果がデバイス特性に与える影響を調査した。

【計算方法】GAA-SBTFET のデバイスモデルを図 1(a)に示す。ゲート長(L_o)20 nm、ゲート酸化膜 厚(Tox)1 nm、チャネル径(Dsi)は 10、20 nm の 2 通りを選択した。図 1(b)は、チャネル領域に点状 電荷を置いた時の電気力線を示す。鏡像ポテンシャルの解析には Advanced Science Laboratory 社製 HiPhi を用いた。この鏡像ポテンシャル分布を、TCAD シミュレーションで計算した GAA-SBTFET のチャネル領域の静電ポテンシャルに付加することで、鏡像効果を考慮したエネルギーバンドダ イアグラムを作成した。TCAD シミュレーションには Silvaco 社製 ATLAS を用い、ドレイン電圧 は 1V とした。得られたバンドダイアグラムを元に、ソース/チャネル界面における熱電子放出 電流成分とトンネル電流成分を計算式[3]に従って求め、これらの合計をドレイン電流値とした。

【結果と考察】図2に、GAA-SBTFETのL_d-V。特性を示す。 鏡像効果を考慮することによりドレ イン電流が増加する一方、S係数(SS)が劣化することが判明した(図 2(a))。ただし、チャネル径を 小さくすることでS係数の劣化は抑えられることもわかった(図2(b))。この理由は、チャネル径の 縮小により、ゲート絶縁膜近傍の鏡像効果がチャネル内部までおよび、オフ状態の電流が抑えら れるためと考えられる。GAA-SBTFET のような立体型トンネル FET では、鏡像効果によるショッ トキー障壁の低下は単純でなく、ゲートのバイアス条件によって複雑に変化し、チャネル径によ ってデバイスのS係数を変化させる要因になることが明らかとなった。

[1] R. Jhaveri et al., IEEE Trans. Elec. Dev. 56, 93 (2009).

[2]川村祐士他, 2012 年秋季応用物理学会学術講演会 講演予稿集 p.13-224 14a-F7-9



[3] J. Kotani et al., J. Vac. Sci. Technol. B, Vol. 22, No. 4, 2179 (2004)

図1GAA-SBTFET のデバイスモデル.