

次世代 TCAD (5) ワイドギャップ半導体における浮遊電位解析

Analysis of Floating electric potential for wide gap semiconductor

アドバンスソフト株式会社, ○桑原 匠史, 山口 憲, 小池 秀耀

AdvanceSoft Co., Tokyo, Japan ○Takuhito Kuwabara, Ken Yamaguchi, Hideaki Koike

E-mail:kuwabara@advancesoft.jp

近年、パワー系半導体デバイスは民生用から、自動車、電力機器まで広範囲な利用が進み、性能向上が強く望まれるようになってきている。半導体材料としては、長い歴史を持つシリコンから高耐圧化に有利なワイドギャップ半導体へと研究開発が加速されている。半導体の真性キャリア密度(n_i)は、図 1 に示される如く、バンドギャップ(E_g)に対し指数関数的に減少する。一方、電子と正孔の密度(n, p)に関して電気的中性領域では以下の式を満たす。

$$np = n_i^2$$

従って、ギャップ幅が広がることに伴い、真性キャリア密度が著しく減少する。更に、 pn 接合逆バイアス状態における電流値が

$$R = -\frac{n_i}{\tau_g}$$

より算出されることを考慮すると、逆方向飽和電流が著しく減少する。このためこれまで広く知られているデバイスシミュレーションの方法では pn 接合逆バイアス状態における動作解析を、精度を保ちながら行う事が非常に難しくなる問題が指摘されている。

そこで、我々は

(1) 電流連続の式の解法としてバンドギャップ依存性が少ない手法の検討と

(2) 電流計算精度の確保

を詳細に精査し、新たにデバイスシミュレータを試作した。図 2 に示すような電位を固定しない領域を内在させる「ガードリング」と呼ばれる構造を持つものを数値解析した結果を発表する。この図 2 に示した計算モデルでは、浮遊領域の電位はデバイス内部のリーク電流

(ダイオード逆方向飽和電流極微小電流)による IR ドロップが支配するため、非常に解析が難しいものとなっているが、精度を保ちながら計算出来ており雪崩降伏電圧を得ることに成功している。

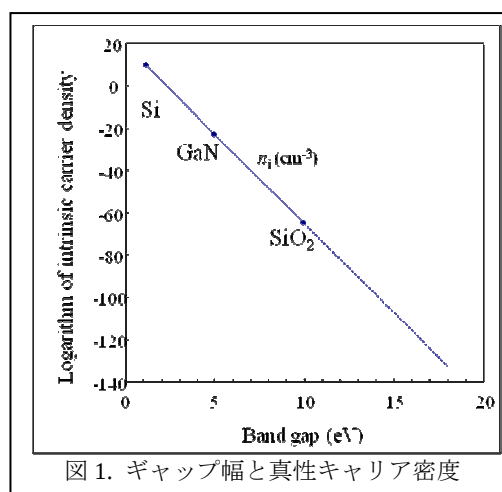


図 1. ギャップ幅と真性キャリア密度

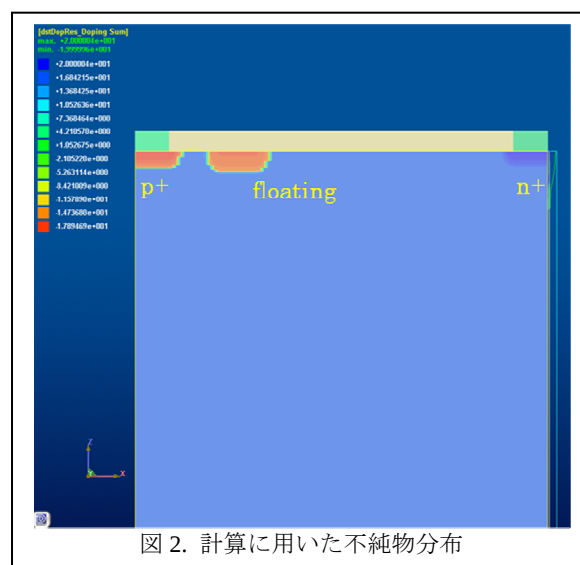


図 2. 計算に用いた不純物分布

謝辞：本研究は(独)科学技術振興機構 A-STEP プログラムの助成を受けて行われた。

参考文献

(1) 山口 憲, “パワーデバイス用シミュレータの技術課題” アドバンスシミュレーション, vol. 8, pp. 59 - 67, 2011