

基板バイアスと PD/FD 遷移を用いた 良好なサブスレッシュコルド係数を有する SOI MOSFET

SOI MOSFET with Good Subthreshold Slope
Using Substrate Bias and PD/FD Transition

東大生研 ○黒崎 洋, 平本 俊郎

IIS, University of Tokyo, You Kurosaki and Toshiro Hiramoto

E-mail: kurosaki@nano.iis.u-tokyo.ac.jp

【はじめに】増大するVLSIの消費電力を抑制するためには、MOSFETのサブスレッシュコルド係数(S)を小さくする必要がある。完全空乏型(FD) SOI MOSFETは良好なSを有するデバイスである。ところが、短チャネル効果を抑えて良好なSを得るには、SOI膜厚(t_{soi})をゲート長(L_g)の1/4程度まで薄くしなければならず、オン電流の劣化や量子ゆらぎによるしきい値電圧の不安定性といった問題を抱えている。本研究では、基板バイアスを用い、より厚い t_{soi} でも良好なSを示すMOSFETを提案する。【原理】まず、高濃度SOIを有するSOI MOSFET (Fig.1(a))で原理を説明する。 $V_{\text{gs}}=0\text{V}$ で t_{soi} が空乏層厚よりわずかに厚い(部分空乏(PD))と、ボディ電位が固定されていればオフ電流(I_{off})は抑制されるがPDなので $V_{\text{gs}}=0\text{V}$ 付近ではSは悪い。 V_{gs} を加えると空乏層が埋込酸化膜(BOX)に達し、PD→FDに遷移するため、Sが改善する。このようにPD/FD遷移が起こると I_{off} を抑えつつ良好なSが得られる。正の基板バイアス(V_{sub})を印加すると、BOX直上にも空乏層が生じ、さらに厚い t_{soi} でもPD/FD遷移が起こる。Fig.2に $L_g=80\text{nm}$ のSOI MOSFETにおけるSと t_{soi} の関係のデバイスシミュレーション結果を示す。 V_{sub} が大きいほど厚い t_{soi} でも60mV/decに近いSが得られており、 $V_{\text{sub}}=8\text{V}$ では良好なSが得られる t_{soi} を8nmから16nmへ厚くすることができている。しかし、この例では高濃度SOIチャネルが必要であり、ばらつきの観点から実用的ではない。【提案デバイス】そこで、Fig.1(b)のデバイスを提案する。SOIチャネルはイントリンジックである。負の V_{sub} を印加しSOI/BOX界面に正孔を蓄積させ、 $V_{\text{gs}}=0\text{V}$ でPD状態とする。 V_{gs} を加えると正孔が消えFD状態となり、PD/FD遷移が生じる。Fig.3に $L_g=100\text{nm}$ 、 $t_{\text{soi}}=30\text{nm}$ におけるSと V_{sub} の関係のシミュレーション結果を示す。 $V_{\text{sub}}=0\text{V}$ では正孔蓄積が起こらず V_{gs} の全範囲でFD状態となり、Sは80mV/dec程度と悪い。一方、 $V_{\text{sub}}=-2.5\text{V}$ 付近では、PD/FD遷移が見られ、Sが極小となっている。Sは66mV/decと小さい。さらに V_{sub} を印加すると V_{gs} の全範囲でPD状態となり、Sは劣化する。【結論】基板バイアス印加による正孔蓄積とPD/FD遷移により、厚い t_{soi} でも良好なSが得られることを示した。

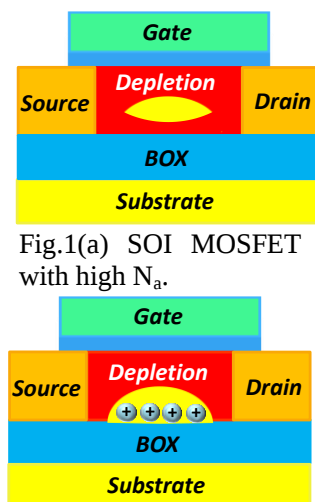


Fig.1(a) SOI MOSFET with high N_a .

Fig.1(b) SOI MOSFET with intrinsic channel. Holes are accumulated at SOI/BOX interface.

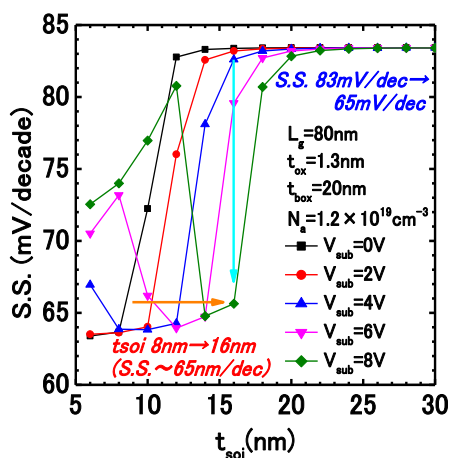


Fig.2 Simulated S vs. t_{soi} in SOI MOSFET with high N_a .

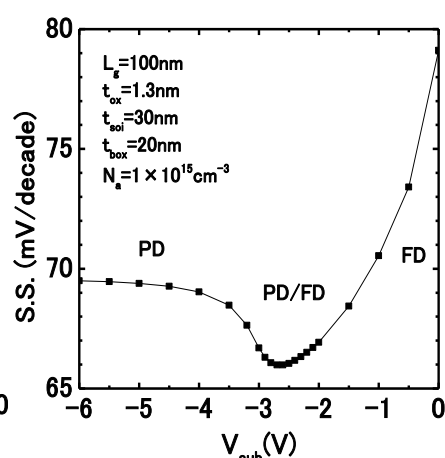


Fig.3 Simulated S vs. V_{sub} in SOI MOSFET with intrinsic channel.