

自己組織化静電仮接合を用いた C2W 三次元集積化技術

Chip-to-Wafer 3D Integration Technology

Using Chip Self-Assembly and Electrostatic Temporary Bonding

東北大院工¹, 東北大未来研², 東北大院医工³, ◦橋口 日出登¹, 福島 誉史², 裴 志哲²,

Mariappan Murugesan², 木野 久志¹, 李 康旭², 田中 徹^{1,3}, 小柳 光正²

Dept. of Bioengineering and Robotics¹, NICHe², Dept. of Biomedical Engineering³, Tohoku Univ.

◦H. Hashiguchi¹, T. Fukushima², J. Bea², M. Murugesan², H. Kino¹, K.-W. Lee², T. Tanaka^{1,3}, and M. Koyanagi²

E-mail: link@lbc.mech.tohoku.ac.jp

1. 諸言

近年、半導体集積回路(IC)の微細化限界が近づくにつれて、三次元集積化技術に関する研究が注目されている。三次元集積化研究では、IC を形成したウェハ又はチップを複数積層し、Through-Silicon-Via (TSV)及び金属マイクロバンプにより各層を電気的に接続する。これにより、微細化に依らない高性能化、高集積化を実現することができる。

IC の積層方法として、C2W(Chip-to-Wafer)、C2C(Chip-to-Chip)、W2W(Wafer-to-Wafer)の3つが挙げられる。特に、ウェハに良品チップを積層していく C2W は、他の2つに比べて高生産性と高歩留りを両立でき、各層で異なるサイズのチップを積層できる利点がある。我々は、水滴の表面張力を駆動力としたチップの自己組織化搭載技術を提案し、サブミクロンの位置合わせ精度と高いスループットでチップを積層する手法を開発してきた[1]-[4]。しかし、自己組織的に位置合わせされたチップをキャリアウェハに仮接合するには、水の分子間力では吸着力が弱い、もしくは高精度で仮接合するには複雑な工程を要するという課題があった。本研究はチップの自己組織化と静電的なチップ仮接合を組み合わせた新しい C2W 三次元集積化技術を提案し[5]、これを用いたチップ積層を実証する。

2. 実験

今回、複数のチップをウェハに一時的に固定する技術としてバイポーラ型の静電仮接合を用いた。Fig. 1 に示すように、搭載されたチップはキャリアウェハに内蔵された櫛歯電極により吸着できる。自己組織化静電仮接合を用いた C2W 三次元集積化工程を Fig. 2 に示す。まず、自己組織化を実現するため、親水性領域(チップ接合領域)と疎水性領域をキャリアウェハの表面に形成し、且つ基板内部にチップを静電的に吸着可能な櫛歯電極を形成した。櫛歯電極は、幅 500 μm の電極を 1 mm ピッチで配置した構造になっている。我々はこのウェハを SAE(Self-assembly and electrostatic)キャリアウェハと呼んでいる。これを用い、Cu 配線を形成した縦 4.2 mm、横 5.2 mm のサイズのチップの三次元集積化を Fig. 2 の工程に沿って行った。

3. 結果及び考察

ここではまず、チップ自己組織化後の固定で生じる位置ずれを評価した。SAE キャリアウェハ上の親水領域に純水を滴下し、チップ自己組織化を行った。そして水滴を蒸発させた後、静電仮接合基板の電極に電圧を印加し、チップとウェハを強く固定した。その後、接着剤を塗布したサポートウェハにチップを張り替え、位置ずれの評価を行った。SAE キャリアウェハ、サポートウェハ及びチップのアライメント・マークの赤外顕微鏡写真を Fig. 3 に示す。Fig. 3 より、チップが 1 μm 以内の高い精度で SAE キャリアウェハに搭載され、その後、位置ずれ無くチップがサポートウェハに張り替えられていることが分かる。本発表では、Fig.2 に従って TSV 形成まで含めたチップの三次元集積化を行い、この自己組織化静電仮接合技術の有用性を示す。

謝辞

本研究の一部は科学研究費補助金 基盤研究(S)(21226009)の助成を受けたものである。

参考文献

- [1] T. Fukushima *et al.*, IEDM, 359 (2005).
- [2] T. Fukushima *et al.*, IEDM, 985 (2007).
- [3] T. Fukushima *et al.*, IEDM, 499 (2008).
- [4] T. Fukushima *et al.*, IEDM, 349 (2009).
- [5] T. Fukushima *et al.*, IEDM, 789 (2012).

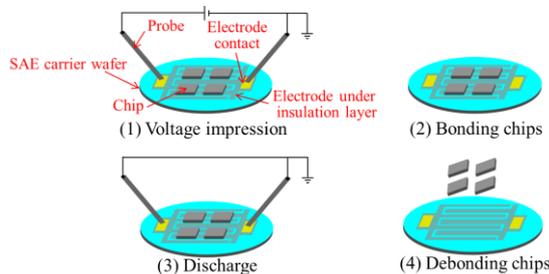


Fig. 1 Electrostatic temporary bonding process

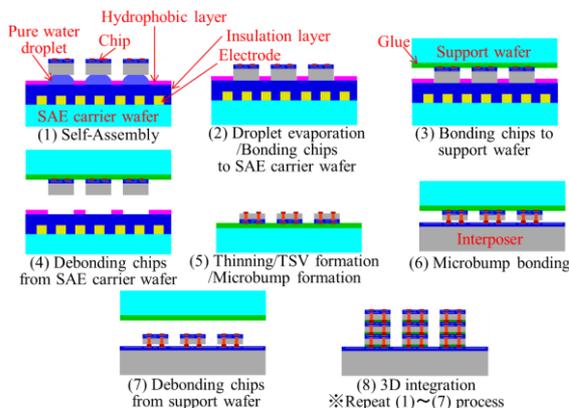


Fig. 2 Chip-to-Wafer 3D integration process

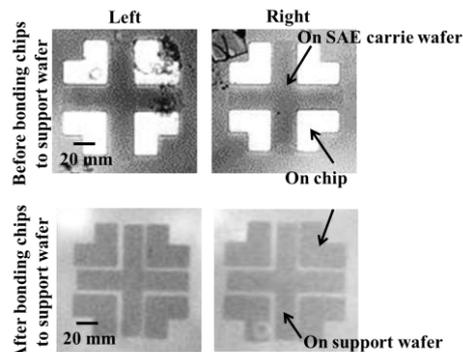


Fig. 3 Infrared microscope picture of alignment marks