

銀/ナノ銀混合ペーストショットキープローブによる n 型 4H-SiC の面内トラップ濃度分布評価

In-plane distribution of trap in n-type 4H-SiC studied by Schottky probe using Ag/nano-Ag mixture paste

愛知工大¹, 住重試験検査²○本田銀熙¹, 左右田佳宜¹, 古川寛幸¹, 徳田豊¹, 伊藤成志², 坂根仁²Aichi Inst. of Technol.¹, S. H. I. Examination & Inspection, Ltd.²,○U. Honda¹, Y. Souda¹, H. Furukawa¹, Y. Tokuda¹, J. Ito², and H. Sakane²E-mail: u_honda@aitech.ac.jp

【はじめに】Si をはじめとする半導体ウェハの電気的特性の評価手法として、その簡便さから水銀を電極として評価する水銀プローブ方式が一般に使われている。しかし、水銀プローブ方式では、測定温度が室温に限られるため、温度変化による DLTS 測定が困難である。これまで従来の評価手法に代わるものとして、小面積の銀/ナノ銀ペースト混合接触が n 型 Si に対してショットキー特性を有していることを見出した [1] (ショットキープローブ)。また、ショットキープローブの特徴である温度可変を利用し、n 型 Si の DLTS 測定結果を既に報告した。本研究では、近年次世代のパワー半導体材料として注目されている 4H-SiC を用い、銀/ナノ銀混合ショットキープローブにより 3 インチの n 型 4H-SiC における面内トラップ濃度分布を検討したので報告する。

【実験方法と結果】評価に用いた試料は、n 型 4H-SiC(0001)4° オフ面上に膜厚 6μm のエピタキシャル層($N_d=1.0 \times 10^{16} \text{ cm}^{-3}$)を成長させたものである。ショットキー電極として銀/ナノ銀ペースト混合を試料表面に、オーミック電極として銀ペーストを基板裏面にそれぞれ形成した。作製したショットキー電極の面積は 1mm²である。図 1 に 80-400K 温度範囲での DLTS 測定結果を示す。低温側から残留不純物(Ti, V, Cr)による結晶欠陥と見られる D1 ピーク[2]及び、炭素空孔(V_c)と関連した点欠陥であると考えられる常温側の $Z_{1/2}$ ピーク[3]が観測された。これらの DLTS 信号強度から各々のトラップ濃度を算出し、試料面内分布を求めた結果が図 2(a)と(b)である。図 2(a)に示すように、D1 トラップ濃度は比較的 4H-SiC エピ面内でバラツキが小さいことが分かった。しかし、図 2(b)の $Z_{1/2}$ トラップ濃度は、試料中心部に比べ、外周部気相成長速度が速いためであるか中心部から外周部に向かって一桁程度高くなる傾向を示した。当日の発表では、3 インチウェハ全体に対する $Z_{1/2}$ トラップ濃度の面内分布について報告する。

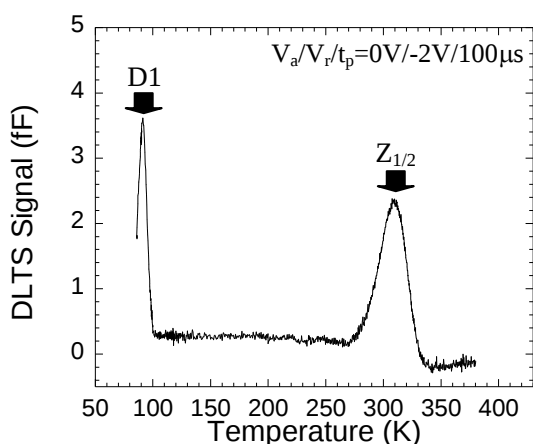
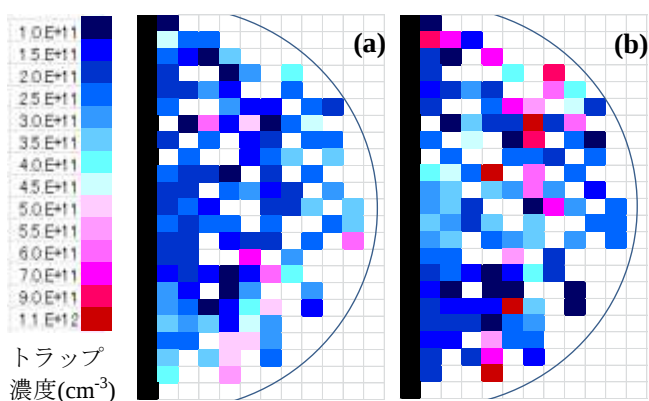


図 1. n 型 4H-SiC の DLTS スペクトラム

図 2. (a)D1 及び(b) $Z_{1/2}$ の SiC エピ面内濃度分布

[1]本田銀熙, 第 73 回応用物理学会学術講演会, 11p-F5-1 (2012).

[2]N. Achtziger et al., Appl. Phys. Lett. **71**, 110 (1997).

[謝辞] 本研究の一部は、文部科学省私立大学戦略的研究基盤形成支援プロジェクト#1001033 の援助を受けて行われた。