

ベンゾジチオフェンダイマー薄膜トランジスタにおける ペンタセン結晶性制御層成長条件の検討

Growth of pentacene crystallinity control layers for organic transistors based on
benzodithiophene-dimer films

和歌山大システム工, °阪井智哉, 松本雄太郎, 大須賀秀次, 宇野和行, 田中一郎

Wakayama Univ., °T. Sakai, Y. Matsumoto, H. Osuga, K. Uno, I. Tanaka

E-mail: s123023@sys.wakayama-u.ac.jp

【はじめに】われわれは、大気中安定性に優れ、高キャリア移動度が期待できるベンゾジチオフェン二量体(BDT-dimer)の薄膜を用い、電界効果トランジスタ(FET)の作製を試みて来た。BDT-dimer 薄膜は、ゲート絶縁層の上に形成した約 1.1 分子層のペンタセン結晶性制御層(CCL)の上に蒸着すると、結晶性が大きく向上してキャリア移動度が高くなることがわかっている^[1]。さらに、このとき BDT-dimer 薄膜は、ペンタセン CCL の最表面に存在するペンタセンの島を結晶核(表面結晶核)として成長していることがわかった。今回はペンタセン CCL の成長条件を検討し、BDT-dimer FET のチャンネル抵抗を減少させることができたので報告する。

【実験】 n^+ -Si/SiO₂ 基板上にスピコート法で PMMA バッファ層を形成した。その上に真空蒸着法を用いてペンタセン CCL を成膜した。ペンタセン CCL の蒸着レートは 1.0×10^{-2} nm/s、 1.6×10^{-3} nm/s、 9.4×10^{-4} nm/s の 3 つを検討した。さらに、その上に BDT-dimer 薄膜を 0.01 nm/s の蒸着レートで厚さ 30 nm 成膜し、最後に Au 電極をマスク蒸着してトップコンタクト型の FET を作製した。

【結果及び考察】図 1 にペンタセン CCL の平均膜厚と表面結晶核密度の関係を示す。ペンタセン CCL の蒸着レートを 1.0×10^{-2} nm/s から 1.6×10^{-3} nm/s へ下げることによって、平均膜厚約 1.1 分子層のときの表面結晶核密度が $0.83 \mu\text{m}^{-2}$ から $0.41 \mu\text{m}^{-2}$ に減少した。しかし、さらに蒸着レートを遅くしても(9.4×10^{-4} nm/s)表面結晶核密度に変化はみられなかった。表面結晶核密度が減少したペンタセン CCL の上に BDT-dimer を成長させたときの BDT-dimer 薄膜のグレインサイズは平均 $2.7 \mu\text{m} \times 1.4 \mu\text{m}$ であり、表面結晶核密度が多いときのグレインサイズ(平均 $1.2 \mu\text{m} \times 0.71 \mu\text{m}$)に比べて増大した。図 2 に作製した BDT-dimer FET のソース・ドレイン間の全抵抗とチャンネル長の関係(TLM プロット)を示す。これらの直線の傾きからチャンネル抵抗を算出したところ、ペンタセン CCL の結晶核密度を減少させることで、BDT-dimer FET のチャンネル抵抗が $3.3 \times 10^3 \Omega/\mu\text{m}$ から $2.1 \times 10^3 \Omega/\mu\text{m}$ へ減少した。これは、BDT-dimer 薄膜のグレインサイズが増大したためと考えられる。

^[1]K. Yamaguchi, *et al.* Appl. Phys. Lett. **93**, 043302 (2008).

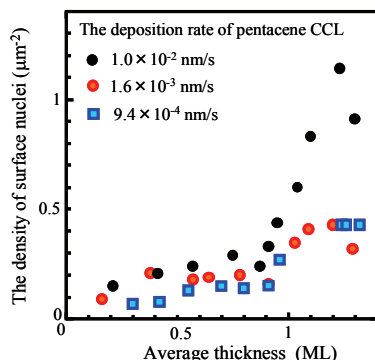


Fig.1 The dependence of the surface nuclei density on the average thickness

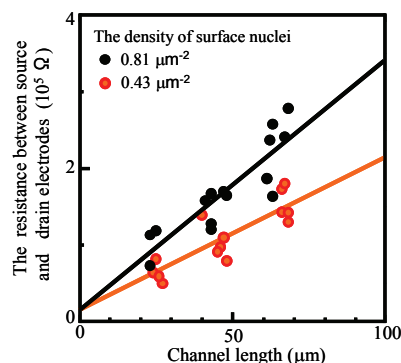


Fig. 2 TLM plots of the BDT-dimer FETs