

MWPCVD プロセスによる p-i-p 型ダイヤモンド FET の構造適正化 Structure optimization of p-i-p diamond FET fabricated with MWPCVD process

阪大院工, °早川 光, 毎田 修, 伊藤 利道

Graduate School of Eng., Osaka Univ., °Hikaru Hayakawa, Osamu Maida, Toshimichi Ito

E-mail: h.hayakawa@daiyan.eei.eng.osaka-u.ac.jp

1. 背景

現在、電力変換、制御に用いられるパワーデバイスには主に Si が用いられているが、Si パワーデバイスは、その物性値で決定される理論的性能限界に近づきつつある。これに対し、ダイヤモンドは、絶縁破壊電界、飽和ドリフト速度や熱伝導率等が Si に比べて格段に優れており、次々世代パワーデバイスへの応用が期待されている。

しかし、CVD ダイヤモンドパワーデバイスを作製する際には、高品質 n 型成長やイオン注入に関する作製プロセスについて問題点が残されているため、それらに基づき作製される従来デバイス構造の高性能パワーデバイスの実用化はあまり期待できないのが現状である。そこで本研究では、まず、デバイスシミュレータを用いて、既存のマイクロ波プラズマ(MWP)CVD 法に基づいたダイヤモンド作製プロセスに適合するノーマリオフ型 FET デバイスについて、その構造の検討及び適正化を行った後、p-i-p 型素子を試作した。

2. 素子構造の検討

ノーマリオフ型 p-i-p ダイヤモンド FET のデバイス構造について、2 次元のデバイスシミュレータ(Silvaco 社製 ATLAS)¹⁾を用いて、性能及び既存プロセスとの適合性を検討を行った。Fig. 1(a)に検討したデバイス構造の概念図を示す。その特徴は、(1) p-i-p 構造下部に窒素ドーブ薄膜層が導入されていること、(2) p-i-p 構造の i 層上部にアンドープ層を CVD 成長しゲート部を形成した凸型ゲート構造にした、及び、(3) そのゲート電極をソース側に長くした非対称凸型ゲート構造を採用したことである。

その後、本シミュレーションにより適正化されたデバイス構造について、マイクロ波プラズマ(MWP)CVD プロセスを用いて、(001)微斜面ダイヤモンド基板上に作製できるプロセスを検討し、得られた作製プロセスにより、p-i-p 型 FET 素子の試作を行った。

3. 結果及び考察

特徴(1)により、そのような N ドープ層がない p-i-p 型素子に比べ、ドレイン電流の ON/OFF 比が格段に改善された¹⁾。Fig. 1(b)に示した典型的な特性例のように、提案素子はノーマリオフ特性を有している。(例えば、ゲート電圧 $V_g = -5$ V、ドレイン電圧 $V_d = -150$ V で、ON/OFF 比 $\approx 10^{14}$ 。)

また、特徴(2)により、ゲート絶縁膜に印加される最大電界が大幅に低減された。Fig. 2 は、最も高電界が印加されるドレイン側のゲート電極端近傍の電界分布を、 $V_d = -150$ V の場合について示しているが、凸型ゲート構造の場合(Fig. 2(a))、平坦なゲート構造の場合(Fig. 2(b)) に比べ、最大印加電界が 2 MV/cm 以下になった。

さらに、特徴(3)に関連して、ドレイン電流密度の増加方法について検討した。Fig. 3(a)はキャリア分布の一例を示している。非対称ゲート構造では、Fig. 3(a)中に示した距離 x に概ね比例して、ソースから供給されるキャリア数が増加し、ドレイン電流を増加できることが分かった(同図(b))。

これらの詳細な内容及び試作したダイヤモンド p-i-p FET 素子の特性については当日報告する。

謝辞

本研究の一部は、科学研究費補助金(基盤研究(A) 21216011)の助成により行われた。

参考文献

1)早川, 毎田, 伊藤: 第 53 回真空に関する連合講演会, 15P-42(2012)

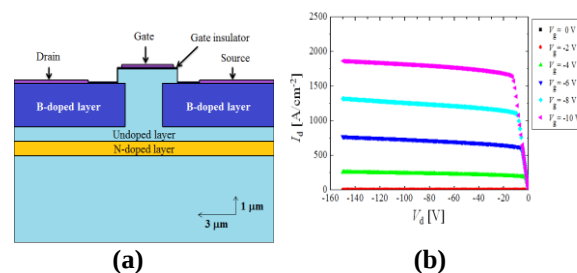


Fig. 1. (a) Proposed structure and (b) typical $V_d - I_d$ characteristics of normally-off-type diamond p-i-p FET which has a buried nitrogen-doped layer and a convex gate with an asymmetric geometry

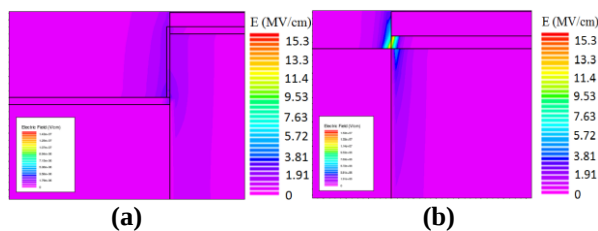


Fig. 2. Calculated electric field distributions near the gate on the drain side at the source-drain voltage of -150 V for the two gate structures of (a) convex gate and (b) flat gate

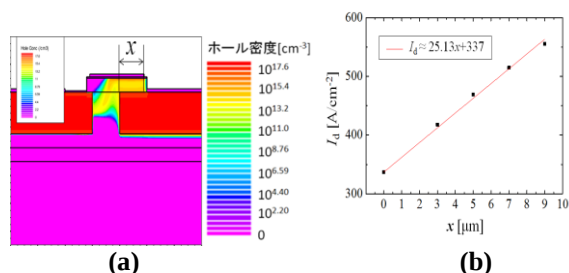


Fig. 3. (a) Typical calculated hole concentration distributions and (b) I_d variations with x indicated in (a) at the gate voltage of -4 V for the p-i-p FET shown in Fig. 1.3