

低温ドーピングを用いた a-Si/c-Si ヘテロ接合ダイオードの作製 Fabrication of a-Si/c-Si Hetero-Junction Diodes Using Low-Temperature Doping

北陸先端大¹, JST CREST²津崎 省吾¹, 小山 晃一^{1,2}, 大平 圭介¹, 松村 英樹^{1,2}JAIST¹, JST CREST²Shogo Tsuzaki¹, Koichi Koyama^{1,2}, Keisuke Ohdaira¹, Hideki Matsumura^{1,2}

E-mail: s1230031@jaist.ac.jp

はじめに

結晶 Si 太陽電池における高効率化のアプローチの一つに非晶質 Si(a-Si)/結晶 Si ヘテロ接合技術がある。また、これまで我々は、PH₃および B₂H₆ ガスを触媒分解でラジカル化することで、結晶 Si への P および B のドーピングが可能であることを見出している[1,2]。このドーピングは、350 °C 以下の低温で行えるため、低温プロセスが求められるヘテロ接合セルとの組み合わせが可能であり、特に、裏面電極型ヘテロ接合セルにおける局所ドーピングへの利用が期待される。今回我々は、この低温ドーピング層がダイオード特性に与える影響について、調査を行ったので報告する。

実験方法

Fig. 1 に、作製したダイオードの構造を示す。n 型結晶 Si 基板に B ドーピングを行い、その後、膜厚 10 nm の n 型 a-Si 膜を Cat-CVD で堆積し、ダイオード構造とした。一部の試料には、膜厚 10 nm のノンドープ a-Si (i-a-Si) 膜を、結晶 Si と n 型 a-Si 膜の間に形成した。使用した Si 基板は面方位(100)、抵抗率 0.5~5 Ωcm、厚さ 290±25 μm、少数キャリア寿命 >10 ms である。B ドーピングは、Cat-CVD チャンバー内で、基板温度 350 °C、圧力 1 Pa、処理時間 10 min、B₂H₆ (He 希釈 2.25%)流量 20 sccm で行った。ドーピング量を変化させるため、触媒体温度(T_{cat})を 500~1800 °C の範囲で変化させた。Al を蒸着して表面電極とし、最後にドライエッチングを行うことで直径 2 mm のメサ構造を形成した。各ダイオードの電流-電圧特性を測定し、以下の式にフィッティングさせることで、逆方向飽和電流密度(J₀)、理想ダイオード因子(n)、直列抵抗(R_s)、並列抵抗(R_{sh})を導出した。

$$J = J_0 \left[\exp \left\{ \frac{q(V - JR_s)}{nkT} \right\} - 1 \right] + \frac{V - JR_s}{R_{sh}}$$

実験結果

Fig. 2 に T_{cat} と J₀ の関係を示す。特に、i-a-Si 層がない場合には、結晶 Si 層にドーピングを

行うことで、全体的に J₀ が減少する傾向が示されている。図表示はしていないが、i-a-Si 層の有無にかかわらず低温ドーピングを行うことで R_{sh} が上昇する傾向もあり、低温ドーピング層の導入が太陽電池特性の向上に寄与する可能性も示唆されている。

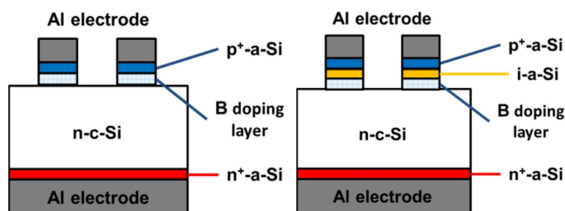


Fig. 1. Schematics of a-Si/crystalline Si (c-Si) hetero-junction diodes.

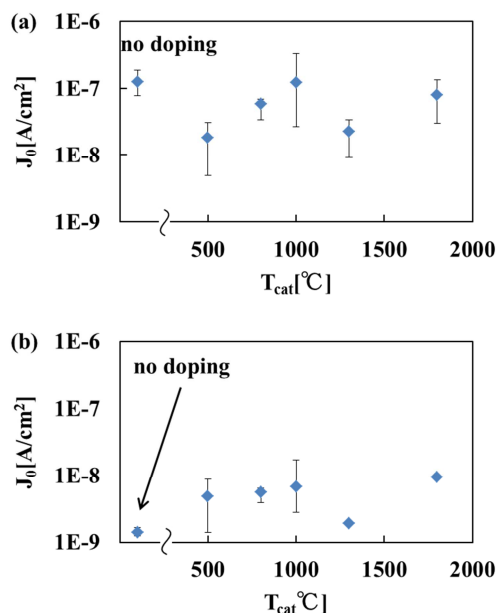


Fig. 2. J₀ of diodes as a function of T_{cat} (a) without and (b) with i-a-Si layers.

【参考文献】

- [1] H. Matsumura *et al.*, Sol Energy Mater. Sol. Cells **95**, 797 (2011)
- [2] 太田 他 第 73 回応用物理学会学術講演会、愛媛大学・松山大学、11a-PB2-9、2012 年 11 月