

Si 基板上 InGaAs-MOSFET の微細化に関する研究

Scaling the channel length of InGaAs-MOSFET on Si wafer

東工大院理工 [○]加藤淳, 米内義晴, 金澤徹, 宮本恭幸

Tokyo Tech [○]A. Kato, Y. Yonai, T. Kanazawa and Y. Miyamoto

E-mail: kato.a.ab@m.titech.ac.jp

【はじめに】 ITRS が示す 2020 年以降の高速集積回路用 MOSFET においてドレイン電圧 0.6V 印加時に飽和電流が 2 A/mm を超える性能のトランジスタが求められている[1]。現在、高電子移動度を有する III-V 族化合物半導体である InGaAs をチャネル材料として用いることにより 2.4 A/mm (@ $V_D=0.5V$) [2] という高い値を得ることができている。反面、閾値の低下や DIBL の劣化などにあげられる短チャネル効果が顕著に現れており改善が必要とされている。今回、基板転写を行い Si 基板上で薄膜チャネル InGaAs-MOSFET を作製し動作を確認したので報告する。

【実験】 基板の層構造は 5 nm i-InP / 5 nm i-InGaAs / 200 nm n-InP / 10 nm n-InGaAs / 20 nm i-InP / 200 nm i-InGaAs / n-InP sub. であり有機金属気相成長法により成長した。まず貼り付け界面の劣化・衝撃の緩和のために Al_2O_3 2 nm, SiO_2 200nm を堆積する。次に BCB 接着による基板転写プロセスを用いて InP 基板を Si 基板に転写する。貼り合わせた基板にソース/ドレイン電極をリフトオフプロセスにより形成した後、電極をマスクにしてコンタクト層の選択エッチングを行う。その後、ゲート絶縁膜 Al_2O_3 5 nm を堆積し、ゲート電極を形成して素子を作製した。ゲート長は 45 nm である。

【結果】 Si 基板上でチャネル長 45nm 薄膜チャネル InGaAs-MOSFET の動作を確認することができた。Fig.1 に作製した素子構造を、Fig.2,3 に I_D-V_D 特性、 I_D-V_G 特性を示す。ドレイン電流として 0.93 A/mm (@ $V_D=0.5 V$), トランスコンダクタンス 0.8 S/mm という値を得た。今後は更にチャネル長を縮小しドレイン電流密度とトランスコンダクタンスの向上を量る必要がある。

【謝辞】 本研究は日本学術振興会科学研究費補助金及び総務省戦略的情報通信研究開発推進制度 (SCOPE) の助成を得た。

【参考文献】 [1] ITRS 2010 PIDS [2] Y. Yonai et al: IEDM tech. dig.2011, pp307-310

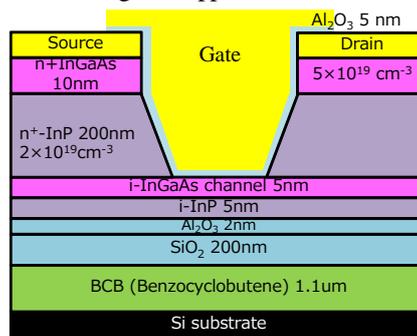


Fig.1. Schematic image

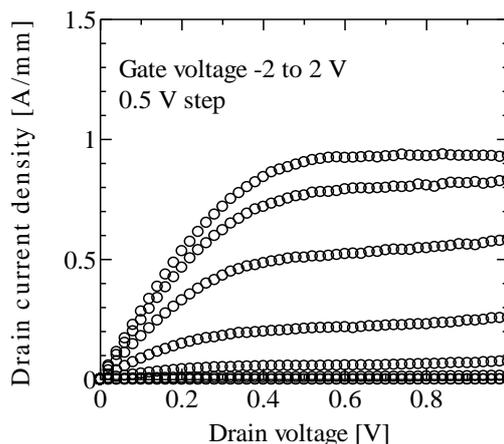


Fig.2. I_D-V_D characteristics

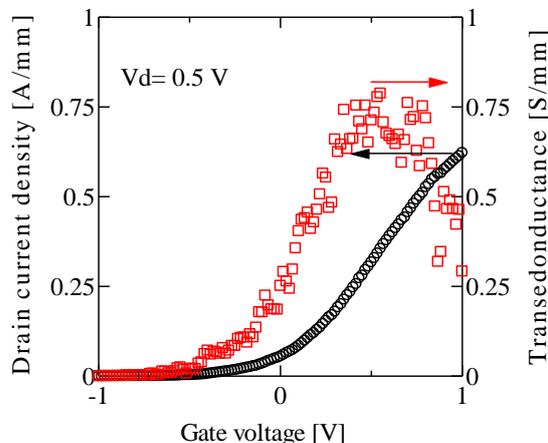


Fig.3. I_D-V_G characteristics