29a-G11-7

多層 SiCN 鋳型による 50nm 級 T 型ゲート InGaAsHEMT の作製

Fabrication of InGaAs-HEMTs with 50-nm T-gates by multi-layer SiCN molds

東北大通研 ○吉田 智洋，　小林 健悟，　尾辻 泰一，　末光 哲也

RIEC, Tohoku Univ., ○Tomohiro Yoshida, Kengo Kobayashi, Taiichi Otsuji, Tetsuya Suemitsu

E-mail: tomohiro@riec.tohoku.ac.jp

研究の背景と目的　III-V 系化合物半導体 FET においては，短ゲート化に伴うゲート抵抗増大への対策として，T 型ゲート電極が用いられる。しかしゲート長が数十 nm まで微細化された今日では，T 型ゲート頭部－チャネル間における寄生ゲート容量が，電流利得遮断周波数にも影響を及ぼすことが報告されている[1]。このため，T 型ゲート電極の断面形状の設計，加工はこれまで以上に緻密に行う必要がある。我々は堆積条件によってエッチング速度の異なる SiCN 薄膜を複数層堆積，加工した鋳型を用いて電極断面形状を制御する手法（鋳型プロセス）を提案してきた[2]。しかし従来の手法においては，T 型ゲート下部の Ti がゲート形成プロセス中途でエッチングされることで，鋳型形状を厳密に再現していなかった。また，エッチングされた分のゲート断面積が減少することでゲート抵抗削減に不利であった。今回我々は，鋳型プロセスを改良することで上記問題点を解決するとともに，短ゲート化に成功し，これを InGaAsHEMT に適応したので，その結果を報告する。

SiCN 鋳型を用いた T 型ゲート電極形成　まず，本プロセスの流れを Fig. 1 に示す。まず半導体表面保護用に SiO_2 を堆積し，続いて HMDS 気化導入 PECVD により，電極形状制御用の SiCN を堆積した[3]。このときの堆積条件は温度 250℃，圧力 133Pa で 4 sccm の HMDS を H_2 と NH_3 の混合キャリアガスを NH_3 の流量比を増やしながら堆積させた。その後 RIE により鋳型の成形を行った（Fig. 2）。このとき，H_2/NH_3 の混合比によって各 SiCN 層のエッチングレートが変わるため，この差を反映した側壁形状が形成される。これを鋳型とし，電極金属を 2 層レジストによって蒸着・リフトオフした。最後に不要な SiCN 鋳型を除去することでゲート電極を形成した。

考察　作製した T 型ゲート電極は鋳型形状を良く反映している(Fig. 2, 3)。また，ゲート長は 48 nm であり，短ゲート化に成功した。今回我々は，鋳型プロセスを用いて 50 nm 級 T 型ゲートを持つ InGaAsHEMT を作製し，鋳型プロセスの有効性を示した。本手法は，鋳型の堆積条件によって電極形状を細かく制御することが可能なため，電極形状がデバイス特性に与える影響の詳細な解析に有効であると考えられる。

謝辞　本研究の一部は東北大通研独創的研究支援プログラムの支援を受けた。本研究は東北大通研附属ナノ・スピン実験施設にて行われた。

参考文献

[1]　K. Akagawa et al.: Physica Status Solidi C, 8,　300, 2011.

[2]　吉田 他，第 59 回応用物理学関連連合講演会, 18p-E2-3, 2012.

[3]　A. Ohgishi et al., Jpn J. Appl Phys, 42, L1090, 2003.

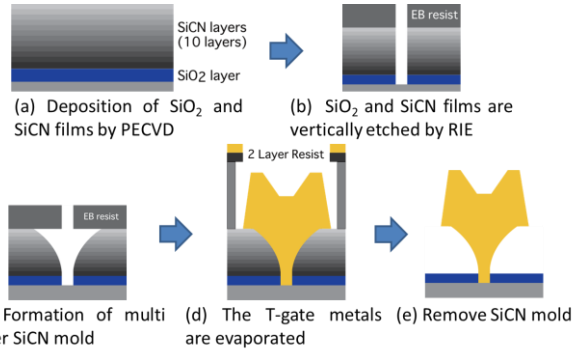

Fig. 1: Process flow of T-gate fabrication.

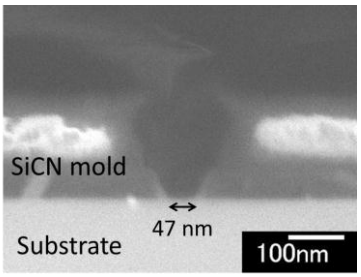

Fig. 2: Cross-sectional SEM image of a fabricated SiCN mold.

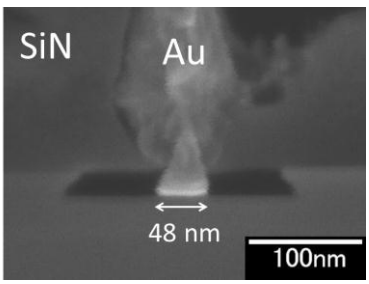

Fig. 3 : Cross-sectional SEM image of a fabricated T-gate stem.

© 2013 年　応用物理学会