

InAs/Si ヘテロ接合を用いた p 型トンネル FET の試作

Demonstration of p-type tunnel FET using InAs/Si heterojunction

1 北大院情報科学および量子集積センター、2JST さきがけ

○富岡 克広^{1,2}, 吉村 正利¹, 福井 孝志¹

GS-IST, and RCIQE, Hokkaido Univ.¹, JST-PRESTO²,

○K. Tomioka^{1,2}, M. Yoshimura and T. Fukui¹

E-mail: tomioka@rciqe.hokudai.ac.jp

[はじめに] トランジスタの微細化・集積度の増加にともなう集積回路の消費電力の急増が懸念されている。集積回路の消費電力はトランジスタ駆動電圧の二乗に比例し、駆動電圧を下げるためには、サブスレッショルド係数(SS)の低減化が最も有効的である。しかしながら、従来の MOSFET のキャリア輸送は拡散機構にしたがうため、室温の SS には物理的な限界(SS > 60 mV/dec)がある。トンネル FET (TFET)やインパクト・イオン化 FET など拡散機構以外の原理で動作する FET では、この物理限界を克服し、60 mV/dec 以下の急峻な SS を実現できる可能性があり、筆者らは、これまでに Si/InAs ナノワイヤヘテロ接合界面を用いた TFET の提案と n-TFET の作製を行ってきた[1,2]。

本報告では、Si 基板上に集積した InAs ナノワイヤについて、Si/InAs ヘテロ接合界面を用いた p 型 TFET の作製について検討したので報告する。

[実験] 基板は、n⁺型 Si(111)基板を用いた。はじめに、超音波脱脂洗浄、RCA 洗浄した基板に対し、熱酸化法で膜厚 20 nm の SiO₂ を形成した。次に、電子線ビームリソグラフィとウェットケミカルエッチングにより、直径 70 nm の開口パターンを作製した後、MOVPE 法により、InAs ナノワイヤを成長した。

成長は、減圧(0.1 atm)横型反応炉を用い、水素ガスをキャリアガスとした。ナノワイヤ成長には MOVPE 選択成長法[3]を用いた。成長原料は、III 族原料にトリメチルインジウム(TMIn)、V 族原料にアルシン(AsH₃)ガスを用いた。p 型ドーピングにジメチルジルク(DEZn)を用いた。InAs の成長条件は、成長温度(T_G) 550°C、V/III 分圧比 256 とし、InAs ナノワイヤを 7 分成長した後、同一条件下で DEZn を供給し、p-InAs ナノワイヤを 13 分成長することで、undoped 層/p 層をナノワイヤ中形成した。Zn ドーピングによる横方向成長の影響はない。

その後、HfAlO 膜を原子層堆積法により堆積し、ゲート電極を RF スパッタリング法により成膜したあと、ベンゾシクロブテン(BCB)ポリマーのスピコーティングによるナノワイヤの包埋と反応性イオンエッチングによりサラウンドゲート構造を形成し、ナノワイヤ上部の余分なゲート電極・HfAlO 膜のエッチングを行った。次に BCB でゲート・ドレイン間分離層を形成し、基板裏面、NW 頭頂部にそれぞれソース、ドレイン電極を蒸着し素子構造の作製を行った。

[結果] 図 1 に MOVPE 選択成長法による InAs ナノワイヤ成長結果と素子構造作製結果と模式図を示す。作製したナノワイヤの直径(*d*)は、70 nm である。図 1 に示すように、作製した単一 InAs ナノワイヤに対して、Hf_{0.8}Al_{0.2}O ゲート酸化膜厚 14 nm、ゲート長(L_G)/200 nm からなる素子構造を作製した。ドレイン・ソース電極はそれぞれ Cr/Au, Ti/Au とした。デバイス作製後 N₂ 雰囲気中 330 °C でアニールした。

図 2 に作製した Si 基板上的 InAs ナノワイヤ TFET の

電流電圧(I_D - V_G)特性を示す。測定は、n⁺-Si(111)基板側をソース端子、p⁺-InAs ナノワイヤ側をドレイン端子とした。Si/InAs ヘテロ接合界面の pn 接合に対して正の V_{DS} が順方向バイアス、負の V_{DS} が逆方向バイアスである。図 2 から、V_{DS} が逆方向バイアスの時に、スイッチング特性を生じていることが分かる。これはゲート電圧によって、Si/InAs 接合界面のトンネル輸送が変調を受けていることを示している。I_{DS} についてオン・オフ比(I_{on}/I_{off}) が 10³、SS が 186 mV/dec のスイッチング特性が得られた。SS が 60 mV/dec 以下にならない理由として、ヘテロ接合界面におけるミスフィット転位の形成と、Zn 原子の内部拡散によるヘテロ接合の急峻性の劣化が挙げられる。また、素子特性の改善には、ナノワイヤ直径の微細化と、高濃度 Zn ドーピング技術が有効であると考えられる。当日は透過電子顕微鏡による接合界面の評価、SS 特性改善策について検討する。

[参考文献]

- [1] K. Tomioka and T. Fukui, APL **98** (2010) 083114
- [2] K. Tomioka *et al.*, 2012 VLSI Tech Dig. pp.47 (2012)
- [3] K. Tomioka *et al.*, Nano Lett. **8** (2008) 3475

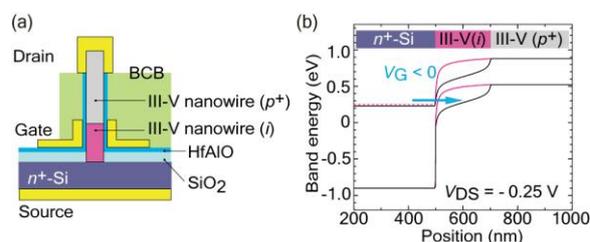


図 1. (a) Si/InAs ヘテロ接合界面による p-TFET 模式図、(b) 1 次元ポアソン・シュレーディンガー方程式によるバンド構造のシミュレーション結果。ピンク色実線が V_G < 0 (on 状態) の時のバンド構造を示している。

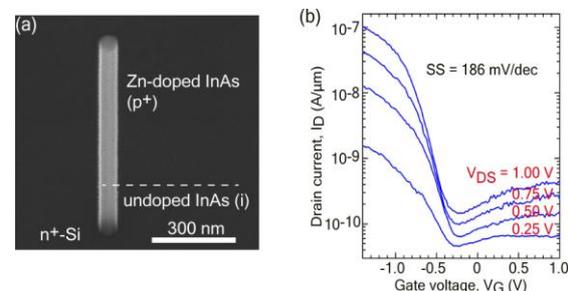


図 2. (a) MOVPE 選択成長法による作製した n⁺-Si 基板上的 undoped(i)/Zn-dope (p) InAs ナノワイヤの SEM 像。直径 70 nm、高さ 1.2 μm。(b) 作製した素子構造の室温における伝達特性。