

FinFET とナノディスクアレイ構造を結合したニューロンデバイス

A neuron device combining a FinFET and nanodisk array structures

九工大生命体¹, 産総研², 東北大流研³○ 東原 敬¹, 梁 海超¹, 遠藤 和彦², 五十嵐 誠³, 寒川 誠二³, 昌原明植², 森江 隆¹Kyushu Inst.¹, AIST², Tohoku Univ.³,○ T. Tohara¹, H. Liang¹, K. Endo², M. Igarashi³, S. Samukawa³, M. Masahara², T. Morie¹

E-mail: morie@brain.kyutech.ac.jp

[序論] 脳の情報処理機能を模倣した大規模脳型集積システムを開発するために、スパイクパルスにより駆動される積分発火型 (IF) ニューロンモデルを実現するナノデバイスの開発を目指している。IF ニューロンモデルでは、スパイクパルスの入力に伴って、「シナプス後電位 (PSP)」と呼ばれる、シナプス結合荷重に比例した振幅を有する一時的電位変化をニューロン入力部に生成する必要がある。このために我々は、バイオテンプレートと中性ビームエッチング技術により作製される 2 次元ナノディスクアレイ (NDA) 構造 [1,2] での電子ホッピングを用いた PSP 生成を研究してきた [3]。確率的な電子ホッピングにより、脳での情報処理に重要と言われているノイズ (ゆらぎ) の生成も自然に実現できるという利点があり、ナノディスクアレイ上に付加した制御電極によりゆらぎが制御できることも単電子回路シミュレーションで示した [4]。今回、微細ニューロンデバイス実現のために、微細化に有効な FinFET [5] と NDA を組み合わせたデバイス (NDA-FinFET) 構造を提案し、構造シミュレータでの解析と、製造プロセスの基本検討を行ったので報告する。

[デバイス構造] 図 1(a) に示すように、FinFET のゲート上部に 2 次元 NDA 構造を接続し、NDA の他端に入力電極を接続すると共に、NDA 上部に制御電極を設ける構造を考案した。シナプス部に NDA を用いたニューロンデバイスでは、ホッピング電子を収集して大きな出力電圧を得るために、できるだけ小さな出力 (ゲート) 容量が望ましい。FinFET はプレーナ構造 FET に比べて、小さなゲート容量が得やすく、また、NDA が接続されるゲート上部の電極幅は、ゲート電極膜厚の 2 倍と Fin 幅で決まるので、ゲート容量と無関係に大きな NDA 接続部面積が得られるという利点があり、NDA を接続する FET 構造として適している。図 1(b) に示すサイズで、ゲート長 80nm を仮定して構造シミュレーションをすると、ゲート容量は約 300aF、入力・制御電極とゲート間の容量はそれぞれ 5~8aF であり、過去に報告したシミュレーション結果と整合性があることを確認した。

[製造プロセス] SOI 基板上に FinFET を作製し、層間膜を CMP により平坦化した後に、NDA を形成した。NDA 形成には、鉄コアを内包するフェリチン・タンパク超分子を含む溶液をスピコートすることで、自己組織化的に鉄コアが配列するテンプレートを利用する。図 1(c) に示すように、完全に平坦化された FinFET ゲート上部に均一なフェリチン配列が実現できていることがわかる。これにより、NDA-FinFET を形成できることを示した。

[1] C. -H. Huang, et al., JJAP, 48, (2009) 04C187.

[2] 五十嵐等, 2010 年秋季 第 71 回応用物理学会学術講演会.

[3] T. Morie, et al., IEEE Int. Symp. on Circuits and Systems (ISCAS) (2010) 781.

[4] 森江等, 2011 年春季 第 58 回応用物理学関係連合講演会.

[5] K. Endo et al., IEEE Trans. Elec. Dev. 59 (2012) 1345.

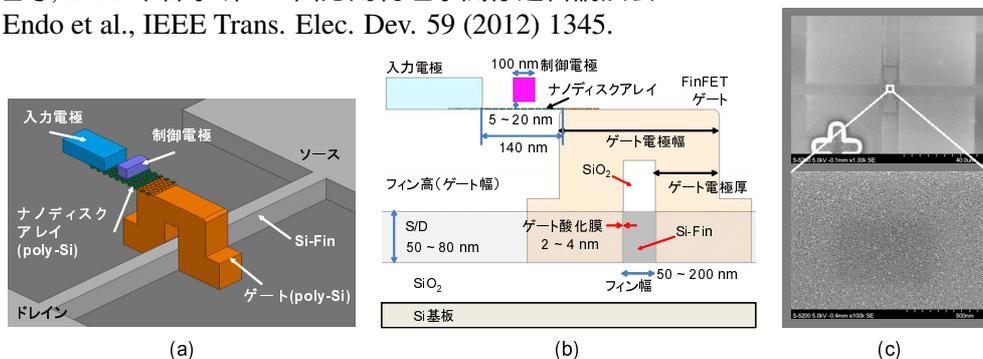


図 1: NDA-FinFET ニューロンデバイス: (a) 構造シミュレータで作製したデバイス俯瞰図, (b) デバイス断面図と仮定したサイズ, (c) FinFET 上の NDA 作製のためのフェリチン超分子の自己組織化配列の観測。