29p-B4-7

オンチップ光配線に向けた半導体薄膜レーザの 低消費電力構造の検討

Design of low-power-consumption membrane laser for on-chip optical interconnection

東京工業大学,量子ナノエレクトロニクス研究センター1電気電子工学専攻2

○進藤 隆彦1, 土居 恭平2, 二見 充輝2, 雨宮 智宏1, 西山 伸彦2, 荒井 滋久12

¹ Quantum Nanoelectronics Research Center, ² Dept. of Electrical and Electronic Engineering, Tokyo Institute of Technology

^OTakahiko Shindo¹, Kyohei Doi², Mitsuaki Futami², Tomohiro Amemiya¹, Nobuhiko Nishiyama², and Shigehisa Arai^{1.2}

E-mail: arai@pe.titech.ac.jp, http://www.pe.titech.ac.jp/AraiLab/

はじめに LSI の高速化に伴う配線内での遅延 や消費電力の増大という問題解決に向け、光配線 が有望視されている。我々は光配線用光源として 強光閉じ込め構造を用いた半導体薄膜 DFB レー ザを提案し[1]、これまでに横方向電流注入構造 を用いた電流注入動作を実現してきた[2]。今回、 半導体薄膜レーザの低消費電力動作化に向けた 構造検討を行ったのでご報告する。

結果 オンチップ光配線用光源には、10 Gb/s の 伝送速度に対して 100 fJ/bit 以下のエネルギーコ ストが要求される。光配線に用いられる PIN フ ォトダイオードの最小受光強度を 0.05 mW(-13 dBm)、導波路への結合損失と伝搬損失を合計 5 dB と仮定すると、半導体薄膜レーザに要求され る光出力強度は 0.16 mW(-8 dBm)以上となる。 Fig. 1 に半導体薄膜レーザの模式図を示す。レー ザでの総合的な消費電力を見積もるため、実際の 半導体薄膜レーザの素子抵抗のうち最も支配的 となる p-InP 層の抵抗率 ρ-InPを 0.108 Ω·cm(ド ーピング量 4×10¹⁸ /cm³ 時)とし、素子全体の抵 抗として仮定した。

Fig. 2 にはしきい値電流(左縦軸) および光出力 強度 0.16 mW で駆動した際のエネルギーコスト (右縦軸)を示す。ここでは屈折率結合係数を変化 させ、その際に最もしきい値電流が低くなる共振 器長を選択している。活性層体積に対してしきい 値電流およびエネルギーコストの低減が確認さ れ、活性層体積を 1.3 µm³以下にする微細共振器 を形成することで 100 fJ/bit を満たすエネルギー コストが実現可能である。

Fig. 3 には光出力強度 0.16 mW で駆動した際 の消費電力(赤〇印)を示す。活性層体積 1.3 µm³ で消費電力が最小となり、0.73 mW で動作可能 であることが示されている。これは屈折率結合係 数 2700 cm⁻¹、共振器長 40 µm の半導体薄膜レー ザに相当する。さらに光閉じ込め効果を増大させ 活性層体積を低減した場合、素子抵抗に起因する ジュール熱による消費電力増大および電力効率 低下が生じることが明らかとなった。低消費電力 動作と電力効率の向上には、素子抵抗の低減と動 作時の光出力強度に応じた活性層体積の設計が 必要である。

<u>謝辞</u>本研究は JSPS 科研費(#24246061, #22360138,







#21226010, #23760305, #10J08973)、総務省 SCOPE および総合科学学術会議により制度設計された JSPS-FIRST プログラムの援助により行われた。

参考文献

- [1] S. Sakamoto, et al., *IEEE J. Sel. Top. Quantum Electron.*, vol. 13, no. 5, pp. 1135-1141, Sep. 2007.
- [2] M. Futami et al., Proc. Int. Conf. Indium Phosphide and Related Materials (IPRM2012), Th-2C, Aug. 2012.