

InAs/AlGaSb ヘテロ構造の分子線エピタキシャル成長と 高誘電率ゲート材料を用いた HFET の製作

Molecular beam epitaxial growth of InAs/AlGaSb heterostructures and fabrication of hetero-junction field-effect transistors using a high dielectric constant gate material

大阪工業大学, ナノ材料マイクロデバイス研究センター

○森口 航平, 西坂 和一, 前元 利彦, 尾形 健一, 佐々 誠彦

Nanomaterials Microdevices Research Center, Osaka Institute of Technology

K. Moriguchi, K. Nishisaka, T. Maemoto, K. Ogata and S. Sasa

E-mail: m1m12327@st.oit.ac.jp

【はじめに】シリコン CMOS トランジスタの微細化限界が近づく中で, 高電子移動度かつ高い電子速度を持つ InAs や InSb などの化合物半導体が注目されている. 我々は高性能な化合物トランジスタを開発することを目的として, 障壁層として酸化耐性のある AlGaSb を用い, チャンネル層は GaAs よりも高い電子移動度を持つ InAs を分子線エピタキシー(MBE)法により結晶成長を行い, InAs/AlGaSb ヘテロ接合トランジスタ(HFET)の作製を行ってきた[1]. 今回は, Ni/Au アロイオーミックコンタクトによるオーミック電極のコンタクト抵抗の低抵抗化により伝達コンダクタンスの改善を行ったのでその結果について報告する.

【実験方法】GaAs(100)半絶縁性基板上に MBE 法を用いてヘテロ構造の成長を行った. 試料構造を図 1 に示す. バッファ層は平坦性を確保するために AlSb/GaSb 超格子を挿入している. 上部および下部障壁層は AlGaSb 層とし, 閉じ込め効果を高めるために極薄 AlSb 層を InAs チャンネル層の下部に挿入した. オーミック電極には Ni(50 nm)/Au(100 nm)を用い[2], 電極形成後に 60 秒間, 窒素雰囲気中で熱処理を行った. その後, EB 蒸着法を用いてゲート絶縁膜 HfO_2 (50 nm), ゲート電極 Ti/Au を形成した. HFET 作製後, $V_{ds}-I_d$ 特性の評価を行った.

【実験結果】図 2 にオーミック電極のコンタクト抵抗と熱処理温度依存性を示す. 図 2 から, Ni/Au 電極は Ti/Au よりも低いコンタクト抵抗が得られ, 熱処理温度が高くなるとコンタクト抵抗が低下する傾向があることが分った. また, 熱処理温度 300 °C でコンタクト抵抗 $R_c = 0.024 \Omega\text{mm}$ が得られた. ゲート長 $L_g = 2 \mu\text{m}$ で作製した HFET の $V_{ds}-I_d$ 特性を図 3 に示す. ドレイン電圧 $V_{ds} = 0.6 \text{ V}$ において伝達コンダクタンス 330 mS/mm が得られた. 当日は, ゲート酸化物との界面準位低減のために上部障壁層を溶液処理した実験結果についても報告する.

【参考文献】

- [1] T. Kiso et al., The International Meeting for Future of Electron Devices, Kansai, 2011.
- [2] S. Kim et al., Applied Physics Express 4, 114201(2011).

GaSb	10nm
AlGaSb	15nm
InAs	15nm
AlSb	8nm
AlGaSb	200nm
AlSb/GaSb superlattice	6 nm/6 nm $\times$ 15
$\text{Al}_x\text{Ga}_{1-x}\text{Sb}$	
GaAs Sub.	

図 1. InAs/AlGaSb ヘテロ構造

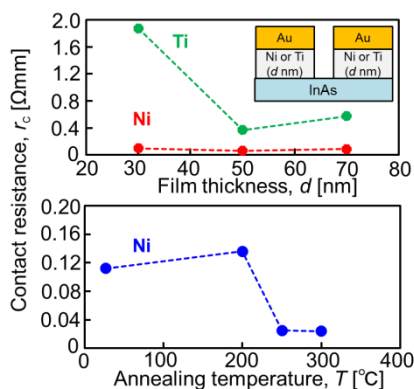


図 2. コンタクト抵抗の熱処理温度依存性

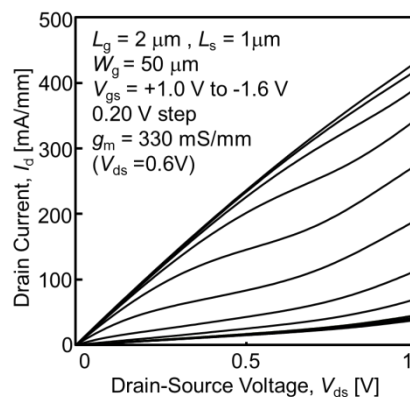


図 3. $V_{ds}-I_d$ 特性