29p-PA4-6

アレイ型MEMS加速度センサの検討

A Study on Arrayed MEMS Accelerometers

東京工業大学 [1]，NTT アドバンステクノロジ株式会社 [2]，東京大学 [3]
°山根大輔 [1]，小西敏文 [2]，松島隆明 [2]，本橋 剛 [1]，加賀谷 賢 [1]，
伊藤浩之 [1]，石原 昇 [1]，年吉 洋 [3]，町田克之 [1,2]，益 一哉 [1]

Tokyo Institute of Technology[1], NTT Advanced Technology Corporation[2], The University of Tokyo[3],
°Daisuke Yamane[1], Toshifumi Konishi[2], Takaaki Matsushima[2], Gou Motohashi[1], Ken Kagaya[1],
Hiroyuki Ito[1], Noboru Ishihara[1], Hiroshi Toshiyoshi[3], Katsuyuki Machida[1,2], and Kazuya Masu[1],
Email:yamane.d.aa@m.titech.ac.jp

【はじめに】近年、身の回りのさまざまな電子機器に MEMS 加速度センサが搭載されている．今後の加速度センサには多軸化だけでなく、小型化かつ加速度検出範囲の拡大が期待されている。そこで我々は、金めっきを用いて複数の MEMS 加速度センサをアレイ状に CMOS チップ上へワンチップ集積化することにより、従来よりも小型かつ検出範囲の広い加速度センサを提案し、研究開発を進めている[1]。本研究では高密度の金による MEMS 構造で加速度センサを小型化し、集積化 CMOS－MEMS 技術と融合することで高性能なセンサを実現する[2]。今回はアレイ型 MEMS 加速度センサの作製プロセスを検討したので報告する。

【デバイス構成】図 1 に提案するアレイ型 CMOS-MEMS 加速度センサの概念図を示す。金めっきを CMOS プロセスの後工程に用いることで、単一 CMOS LSI チップ上に複数の MEMS 加速度センサを集積化し、加速度検出範囲の拡大を目指す。加速度センサ単体の作製プロセス、およびデバイスサイズ小型化における金の有効性も検証済みである[1]。本研究では、目標チップサイズ 4mm^2 以内に 9 個の異なる性能を有する MEMS 加速度センサを集積化した。

【試作結果】本試作では、金めっきによる 4 層メタルと 1 層のシリコン酸化膜からなる多層プロセスを単結晶シリコンウェハ上に適用し、犠牲層には有機絶縁膜（ポリイミド）を使用した（図 2）。図 3 に試作したアレイ型（3×3）加速度センサの SEM 写真を示す。酸素プラズマによる犠牲層リリースを含めたプロセス全工程の終了後には MEMS 構造の可動性能も確認した。最大プロセス温度は 310℃のため、CMOS 回路作製後の後工程として本プロセスは実施可能である。

【まとめ】金めっきを用いて提案するアレイ型 MEMS 加速度センサを設計・試作した。試作結果により所望する MEMS センサ構造の実現見通し得た。

[1]D. Yamane, et al., SSDM2012, pp.1134-1135 (2012), [2]T. Konishi, et al., SSDM2012, pp. 1120-1121 (2012).

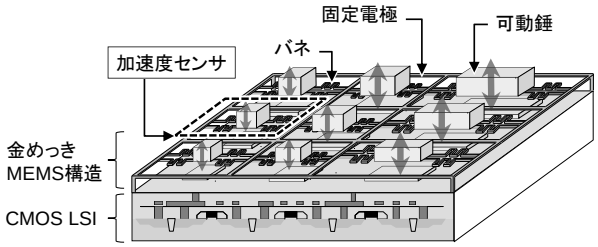

Fig. 1. Schematic of arrayed CMOS-MEMS accelerometer.

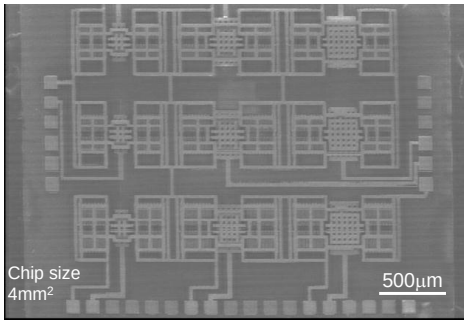

Fig. 3. SEM image of a 3×3 arrayed MEMS accelerometer.

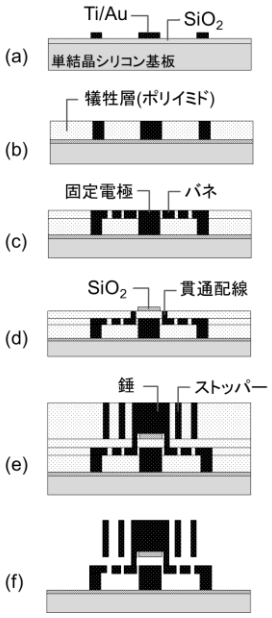

Fig. 2. Microfabrication process.

© 2013 年　応用物理学会