

Si および Ge 上 high-k 作成における SiN 界面層導入の検討

A Study on Introduction of SiN Interface Layer to Fabrication of high-k on Si and Ge

東京農工大・工

○立川晋平, 中谷友哉, 岩崎好孝, 上野智雄

Tokyo Univ. of Agri. & Tech. °S.Tachikawa, Y.Nakatani, Y.Iwazaki, T.Ueno

E-mail: 50012645124@st.tuat.ac.jp

1.はじめに

近年ゲート絶縁膜として使われている SiO_2 に代わって k 値の高い HfO_2 などの高誘電率材料 (high-k) の研究が進められている。しかし HfO_2 /半導体構造は high-k 構成金属種と基板との拡散が起こり、良好な特性が得られにくいことから HfO_2 と半導体の界面に構造が密であり、優れたバリア層として期待できる SiN 界面層を Si と高速応答が期待できる Ge に導入した。

前学会において我々は ECR スパッタで作成した SiN 膜は Si では負方向、Ge では正方向の符号の異なる V_{FB} シフトが発生することを報告した。そして SiN/Si と SiN/Ge に N_2 アニールをすることで結合の組換えが起こり、それぞれの特性に改善傾向がみられ、Ge では V_{FB} シフトやヒステリシスがほぼみられない良好な特性を得ることができた。また O_2 アニールによる特性の劣化もないことから SiN 膜の O_2 に対するバリア性も確認できたことを報告した。

今回は一番良好な特性が得られた 500°C の N_2 アニール後の SiN/Si と SiN/Ge 上に HfO_2 を作成し、その特性を測定した。

2.実験方法

p-Si 基板(100)および p-Ge 基板(100)に HF 処理をした後 ECR スパッタにより SiN 膜を作成する。その後 500°C 30 分 N_2 アニールを施した後、Hf を堆積させて 300°C から 500°C の 30 分 O_2 アニールにて HfO_2 を作成し、Al 電極を蒸着し C-V 特性を測定した。

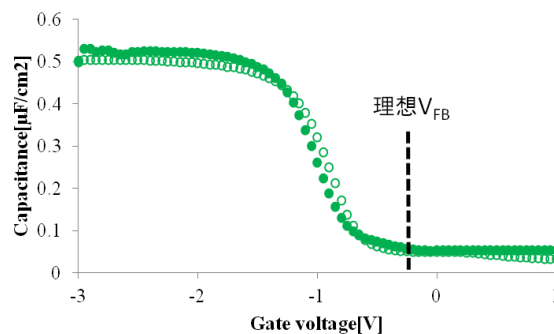
3.実験結果

C-V 特性の測定結果から V_{FB} シフトの原因である固定電荷が全て SiN/基板界面にあると仮定した場合の電荷面密度を Table1 に示す。

Table1. HfO_2 作成温度別の電荷面密度 [cm^{-2}]

	300°C	400°C	500°C
on Si	$4.83\text{E}+12$	$6.10\text{E}+12$	$9.56\text{E}+12$
on Ge	$3.47\text{E}+12$	$2.69\text{E}+12$	$5.40\text{E}+12$

Si は HfO_2 作成温度が高い程電荷面密度が大きくなっていることがわかる。しかし Ge は Si と異なり実験した温度で最も低い温度である 300°C ではなく、 400°C の場合に電荷面密度が小さく良好な特性を得ることができた。作成温度が 400°C の C-V 特性を Fig.1 に示す。

Fig1. $\text{HfO}_2/\text{SiN}/\text{Ge}$ の C-V 特性

今後は Ge を中心に良好な特性が 400°C の作成温度で得られた要因を調査し、さらなる特性の改善と機構について詳細に調査する。