

HfO₂/SiO₂ 及び Y₂O₃/SiO₂ 構造の作製条件最適化

Optimization of the fabrication conditions of Y₂O₃/SiO₂ and HfO₂/SiO₂ structures

兵庫県立大学¹, 明治大学², JST-CREST³, [○]豊嶋 祐樹¹, 谷脇 将太¹, 堀田 育志^{1,3},
吉田 晴彦^{1,3}, 新船 幸二^{1,3}, 小椋 厚志^{2,3}, 佐藤 真一^{1,3}

Univ. of Hyogo¹, Meiji Univ.², JST-CRES³, [○]Y. Toyoshima¹, S. Taniwaki¹,
Y. Hotta^{1,3}, H. Yoshida^{1,3}, K. Arafune^{1,3}, A. Ogura^{2,3}, and S. Satoh^{1,3}

E-mail: eo09k082@steng.u-hyogo.ac.jp

【はじめに】異種物質が接合するヘテロ界面では、それぞれの物質がもつ性質の違いからバルクとは全く異なった特性を表すことがある。イオン結合性の金属酸化物と共有結合性の SiO₂ の界面では、それぞれの物質の酸素イオンの面密度の差によって一方向の酸素イオンの移動が生じ、その結果その界面に双極子が生じる。¹⁾ このような現象は、半導体デバイス特性と密接な関係があり、例えば high-*k* 材料をゲート絶縁膜にもつ MOS トランジスタのしきい値電圧 V_{th} シフトなどに見られる。本研究では金属酸化物/SiO₂ 界面、つまりイオン結合物質/共有結合物質の界面に生じる双極子の大きさや量を制御し、積極的に電子デバイスに活用することを目指している。本研究では、それぞれ逆極性の双極子が生じる HfO₂/SiO₂ と Y₂O₃/SiO₂ 構造に着目し、パルスレーザー堆積(PLD)法とポストアニール処理(PAT)による作製条件の最適化を行ったので報告する。

【実験方法】本実験では、はじめに HfO₂ 及び Y₂O₃ 薄膜を Si 基板上に直接成膜し、成膜後の PAT によってそれらの界面に SiO₂ を成長させることで HfO₂/SiO₂/Si 構造および Y₂O₃/SiO₂/Si 構造の作製を試みた。HfO₂ 層及び Y₂O₃ 層は、PLD 法によって HF エッチングを施した p-Si(100)基板上に作製した。得られた試料を 1 atm の酸素気流中において 500°C ~800°C で PAT を行った。各アニール温度での試料の XPS 測定を行い、界面に SiO₂ を成長させるための最適なアニール条件を決定した。また、上部に Au 電極を蒸着した各試料の容量-電圧(C-V)測定を行い、界面双極子の評価を行った。

【実験結果】XPS の結果より、アニール温度が 600°C までの試料では界面にあまり SiO₂ の成長がみられなかったのに対し、700°C 以上のものでは明らかに界面に SiO₂ 層が成長していることが示された。一方、C-V 測定に関しては、アニール温度が 600°C 以上でかつアニール時間が 1 時間以上の試料においてヒステリシスが小さく、蓄積容量が飽和する良好な C-V 特性が得られ、さらに 700°C 以上でフラットバンド電圧のシフトが観測された。図 1 は、700°C でアニールした場合の Au/Y₂O₃/SiO₂/p-Si(100)と Au/HfO₂/SiO₂/p-Si(100) の C-V 曲線を示している。それぞれ負側と正側にフラットバンド電圧のシフトが現れており、それらの界面に逆極性の双極子が生じていることを示唆している。今回の結果から、本研究の試料作製方法における PAT の最適化条件は 700°C、1 時間と考えている。

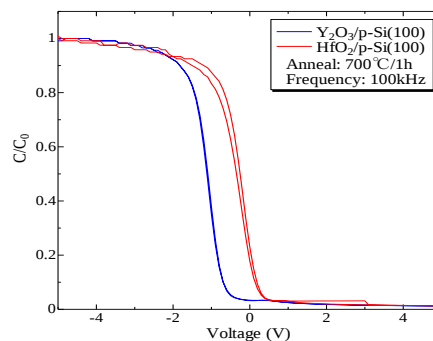


図 1 high-*k*/p-Si(100)構造の 100kHz における C-V 特性

【参考文献】 1) K. Kita et al., Appl. Phys. Lett. 94,132902 (2009)