

人工ステップを有する多結晶 Ni 薄膜上の多層グラフェン成長

Growth of Multilayer Graphene on Polycrystalline Ni Thin Film with Artificial Steps

慶應義塾大学¹, 超低電圧デバイス技術研究組合² ○澤部 亮介¹, 山崎 雄一², 佐久間 尚志²,
片桐 雅之², 和田 真², 北村 政幸², 梶田 明広², 酒井 忠司², 粟野 祐二¹

Keio Univ.¹, Low-power Electronics Association & Project (LEAP)² °R. Sawabe¹, Y. Yamazaki²,

N. Sakuma², M. Katagiri², M. Wada², M. Kitamura², A. Kajita², T. Sakai², and Y. Awano¹

E-mail: rsawabe@a6.keio.jp

【背景】多層グラフェンを配線材料に用いることで、Cu よりも低抵抗な超微細配線が形成できる可能性が指摘されている[1]。配線構造を検討するためにはグラフェンの成長メカニズムの解明が必要である。我々は触媒金属(Co, Ni)の特定の結晶面が成長起点となりグラフェンが成長する「ファセット成長」を低温成長メカニズムとして提案しているが[2]、ファセット形成を制御していなかったため、起点となる結晶面の選択性に関する検証が十分ではなかった。本研究では、人工的にステップ（ファセット）を作りこんだ試料を用いて低温グラフェン成長の挙動を調べた結果を報告する。

【実験手順】ウェットおよびミリングを組み合わせることでステップを作製した。まず、30 nm の多結晶 Ni 薄膜上に SiO₂ 膜を 100 nm 程度堆積し、フォトレジストを塗布・パターニングする。次に、バッファードフッ酸 (BHF) で SiO₂ 膜をウェットエッチングすることでサイドエッチングされて傾斜角が発生する (Fig. 1 左)。最後に Ar ミリングにより、SiO₂ 膜の傾斜角を多結晶 Ni に転写し、人工ステップが完成する (Fig. 1 右)。ステップを作製した後、プラズマ CVD 法で多層グラフェンを成長させた。成長温度は 600°C である。

【結果】多結晶 Ni 人工ステップ上に多層グラフェンが成長した様子を Fig. 2 に示す。黒くなっている領域に多層グラフェンが成長していると考えられる。SiO₂ 膜のエッジ部に作製された幅 10 nm 程度の人工ステップに沿って成長した多層グラフェンが見られた。これはファセットがグラフェン成長に重要な役割を果たしていることを示唆している。詳細は当日に発表する。

【謝辞】本研究開発は、経済産業省および NEDO の委託事業「低炭素社会を実現する超低電圧デバイスプロジェクト」にて実施した。またミリング実験でご協力頂いた慶大物理学科の能崎幸雄准教授に深謝いたします。

【参考文献】

[1] A. Naeemi et al. IEEE EDL **28** (2007) 428. [2] Y. Yamazaki et al., App. Phys. Exp. **5** (2012) 025101.



Fig.1 Step-making Process

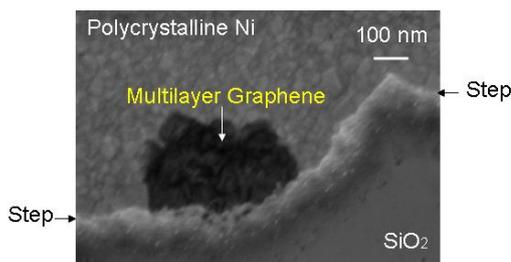


Fig. 2 SEM Image