

2 度 off 4H-SiC Si 面エピ成長における表面欠陥低減

Reduction of surface defects of epitaxial layer grown on 2°-off Si-face 4H-SiC substrate

技術研究組合 次世代パワーエレクトロニクス研究開発機構¹, ローム(株)²,パナソニック(株)³, (独)産業技術総合研究所⁴, (株)東芝⁵, (株)日立製作所⁶○浅水 啓州^{1,2}, 工藤 千秋^{1,3}, 伊藤 佐千子^{1,4}, 升本 恵子^{1,4}, 西尾 譲司^{1,5}, 田村 謙太郎^{1,2},児島 一聡^{1,4}, 大野 俊之^{1,6}FUPET¹, ROHM Co., Ltd², Panasonic Corporation³, AIST⁴, Toshiba Corporation⁵, Hitachi, Ltd⁶○Hirokuni Asamizu^{1,2}, Chiaki Kudou^{1,3}, Sachiko Ito^{1,4}, Keiko Masumoto^{1,4}, Johji Nishio^{1,5},Kentaro Tamura^{1,2}, Kazutoshi Kojima^{1,4}, Toshiyuki Ohno^{1,6}

E-mail: h-asamizu@fupet.or.jp

【はじめに】SiC エピタキシャルウエハの低オフ角化は、エピタキシャル膜中の基底面転位密度低減[1][2]やトレンチ MOSFET 特性の異方性抑制[3]に効果的である。しかし、低オフ角 Si 面基板上への成長では、4 度オフ Si 面の場合に比べステップバンチングが発生しやすく、表面欠陥低減とステップバンチング抑制の両立が課題となっている[4]。本研究では 2 度オフ Si 面エピタキシャル膜成長における、表面欠陥密度低減とステップバンチング抑制の両立を目指した。

【実験】横型ホットウォール型 CVD 装置を用いて、2 度オフ (<11-20>方向) 4H-SiC Si 面基板上にエピタキシャル成長を行った。エピ前の水素雰囲気昇温時に起こる *in-situ* エッチングの深さ等を変化させてエピ成長を行い、共焦点微分干渉光学系を有する表面検査装置(Lazertec SICA6X)を用いて表面モフォロジおよび表面欠陥密度の評価を行った。

【実験結果】SICA 観察により得られた各種表面欠陥の CDIC 像の例を Fig. 1(a)-(c)に示す。これらの発生密度およびウエハ表面の反射損失値(入射光の試料表面での散乱による強度損失の相対値で、エピ表面が荒れているほど値が大きくなる)と、エピ前 *in-situ* エッチング深さ(エピ開始前の水素雰囲気中昇温時に生じるウエハ表面のエッチング量)の関係を Fig. 2 に示す。エッチング量が小さい場合は表面欠陥が多数発生するが、エッチング量増加に伴い、特にバンプ(隆起)および三角欠陥の密度が減少する。一方、エッチング量が大きくなるほどエピ表面の反射損失は大きくなり、表面が荒れる。2 度オフ基板上エピにおける表面欠陥抑制とバンチング抑制の両立には、*in-situ* エッチング深さの制御が効果的である。当日は、他の成長パラメータの影響についても議論する。

【謝辞】本研究は NEDO 委託事業「低炭素社会を実現する新材料パワー半導体プロジェクト」の成果である。

[1] H. Tsuchida, et al., *Mater. Sci. Forum*, **483-485** (2005) 97.

[2] K. Masumoto, et al., *Mater. Sci. Forum*, **778-780** (2014) 99.

[3] S. Harada, et al. *Mater. Sci. Forum*, **645-658**(2010)999

[4] H. Asamizu et al., *MRS Spring Meeting and Exhibits 2014*, BB1.08 (2014).

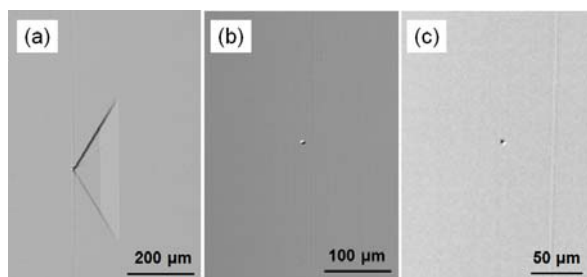


Fig. 1 Typical CDIC images of surface defects of epilayer surface grown on 2°-off Si-face 4H-SiC substrates; (a)triangular defect, (b)bump, and (c)shallow pit, respectively.

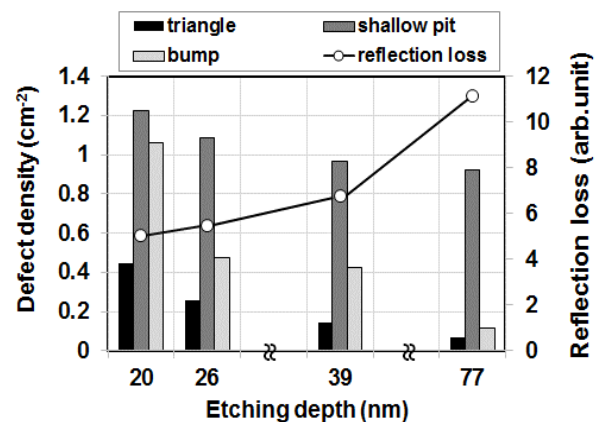


Fig. 2 Dependence of surface defect densities and surface reflection loss of epilayer surface on *in-situ* etching depth.