

グラフェン/n-SiC コンタクトの電気的特性のゲート電圧変調効果

Evaluation of Gate Modulation in Electrical Properties on Graphene/n-SiC contacts

東工大精研¹, 北陸先端大グリーンデバイス研究センター² ○永久 雄一¹, 徳光 永輔^{1,2}

P & I Lab., Tokyo Tech.¹, GDRC, JAIST², °Yuichi Nagahisa¹, Eisuke Tokumitsu²

E-mail: nagahisa.y.aa@m.titech.ac.jp

【はじめに】グラフェンのスイッチング素子応用に向けて、高いオン/オフ比を有するグラフェンチャンネル電界効果トランジスタ(グラフェン FET)の実現が求められている。我々は SiC 基板上に大面積にグラフェンを形成可能な SiC 熱分解法を用い、SiC 基板上に成長したグラフェンをチャンネルとし、n 型にドーピングした SiC(n-SiC)をソース/ドレインとしたデバイス構造により、グラフェン FET のオン/オフ比向上を目指してきた[1]。このデバイス構造において、4H-SiC、Si 面上に成長したグラフェンに対し水素アニール処理による界面改質を行うことにより、グラフェンチャンネルトランジスタとしては比較的高いオン/オフ比(2.7×10^3)を実現している[2]。

【研究目的・実験方法】本研究においては、n-SiC をソース/ドレインとしたグラフェン FET の動作メカニズムの分析のため、グラフェン/n-SiC コンタクト特性を評価した。図 1 は、本研究でグラフェン/n-SiC コンタクト特性のゲート電圧依存性を評価するために作製したダイオードの断面を示しており、Cross-Bridge Kelvin (CBK)構造にトップゲートを付加した構造となっている。デバイス作製手法は、まずイオン注入、活性化アニールにより拡散層を形成し、その後、熱酸化により薄い SiO₂ 層(約 10nm)を形成した後、圧力 $10^{-3} \sim 10^{-4}$ Pa の真空中において 1500°C でアニールを行いグラフェン層(数 ML)を成長した。その後、1000°C 大気圧水素アニール処理にて界面層を除去した後、チャンネルのパターニングを行った。ゲート絶縁膜は有機金属化学気相成長法(MOCVD)により Al₂O₃ 膜を形成し、最後に各種電極を蒸着しデバイスを作製した。

【実験結果および考察】図 2 に作製した素子の電気的特性を示す。ゲート電圧によりダイオードの電流(I)-電圧(V)特性が顕著に変化していることがわかる。ダイオードの I-V 特性(逆バイアス)から n-SiC のグラフェン中の電子に対するショットキー障壁高さを見積もった結果、図 3 のようになり、ゲート電圧によって障壁高さが 0.48~0.72eV と 0.2eV 程度変調していることが確認された。これはグラフェン FET 構造におけるオン/オフ比を説明するのに十分な値であった。当日はグラフェン/n-SiC 間のコンタクト抵抗に関する議論も含めて発表する予定である。

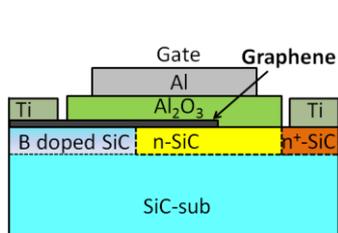


図 1. 作製した CBK 構造の断面図

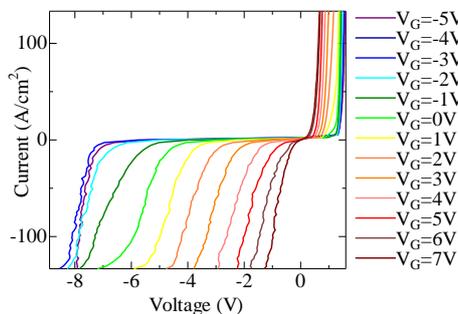


図 2. I-V 特性のゲート電圧依存性

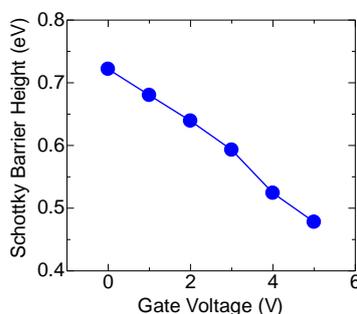


図 3. 見積もられる障壁高さ

【参考文献】

[1]Y. Nagahisa and E. Tokumitsu, Mater. Sci. Forum, **717-720**, 678(2012).

[2]Y. Nagahisa, Y. Harada and E. Tokumitsu, Appl. Phys. Lett. **103**, 223503(2013).