17a-C6-3

Si 上スパッタエピタキシャル Ge 膜の欠陥評価

Defect-evaluation of sputter-epitaxial grown Ge film on Si(100)

島根大大学院　総合理工[1]，○葉　文昌[1]

Shimane Univ.[1]，　○Wenchang Yeh[1]

E-mail: yeh@riko.shimane-u.ac.jp

Ge は 0.8eV の直接遷移バンドギャップから光波長~1600nm までの光感度を持ち、Si 太陽電池のボトムセルにすれば限界効率を超えることが期待できる。我々はこれまでに Si(100)上 Ge のスパッタエピタキシーを実現し、pin-Ge 太陽電池を作製してきた[1]。だが変換効率は 1%未満で、特性改善には欠陥の評価と低減が必要となる。本発表ではスパッタ Ge 膜の欠陥について示す。

試料は、Si(100)ウェーハに最高温度 360℃で成長した厚さ約 1μm の Ge 膜を使用した。成長後 500℃～800℃でフォーミングガス雰囲気アニール(FGA)し、TEM 断面評価と Dash エッチングによる貫通転移評価を行った。

図 1(a)~(d)それぞれに As-depo、600℃FGA 後、700℃FGA 後、800℃FGA 後、の Ge 膜断面 TEM 像を示す。Ge 膜は平坦であった。堆積直後の膜中には歪が高密度に形成されているが図 1(a)、アニール温度の向上とともに欠陥は減少した。図 1(e)に(d)の Ge/Si 界面付近の HRTEM 像を示した。バーガーズサーキット評価により、界面ではフルエッジ転移が優勢であることがわかった。続いて Ge 膜を Dash-etch($CH_3COOH:HNO_3:HF:I_2$ = 100 mL:40 mL:10mL:54mg)して貫通転移密度(TDD)評価を行った。As-depo 膜の Dash-etch 速度は 20nm/s 以上であり、エッチング時間は 20～40s とした。Dash-etch 後に Ge 膜は存在することを確認している。図 2 に 700℃-FGA 後の表面 SEM 像を示す。ファセットを有する特徴的なエッチピットが観測された。As-depo 膜の TDD は< 5×10^6 cm^{-2} であったのに対して、700℃-FGA 後では TDD は< 1×10^4 cm^{-2} 以下と低い値が得られた。この低い TDD はフルエッジ転移が優勢によるものである[2]。

[1] 「スパッタエピタキシャル成長法による pin 型 Ge 太陽電池の開発」杉原圭祐、森山光、山崎仁貴、葉文昌、 第 10 回薄膜材料デバイス研究会 2013 年

[2] S. Mochizuki et.al., Thin Solid Films, 508, (2006) 128.

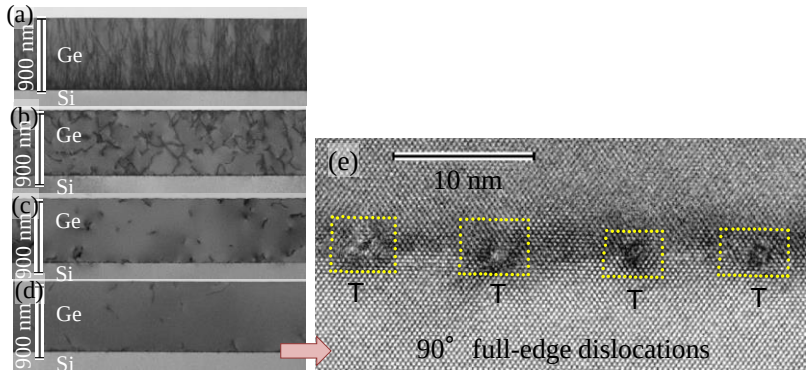


図1. 断面TEM像 (a). As-depo Ge (b). 600℃-FGA (c).700℃-FGA (d). 800℃-FGA (e). (d)のGe/Si界面付近HRTEM像とBurgers circuit

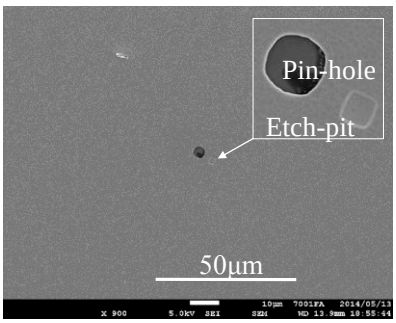


図2. Dash-etch後Ge膜表面 SEM像 (700℃-FGA後)

© 2014 年　応用物理学会