17a-PA3-1

等電子トラップ援用 TFET における Subthreshold Slope の温度依存性

Temperature Dependence of Subthreshold Slope Characteristics of IET-assisted TFETs

産業技術総合研究所　ナノエレクトロニクス研究部門

○森貴洋，森田行則，宮田典幸，右田真司，福田浩一，昌原明植，安田哲二，太田裕之

NeRI-AIST　Takahiro Mori, Yukinori Morita, Noriyuki Miyata, Shinji Migita, Koichi Fukuda, Meishoku Masahara, Tetsuji Yasuda, and Hiroyuki Ota

E-mail: mori-takahiro@aist.go.jp

超低消費電力 LSI を実現すべく、従来型 MOSFET の理論限界を破る急峻なサブスレッショルドスロープ(SS<60mV/decade)を実現できるトンネル電界効果トランジスタ(Tunnel Field-Effect Transistor; TFET)の研究が進んでいる。課題は ON 電流の確保であり、これを実現するために高いトンネル確率が得られる Ge や III-V 材料をチャネルとした TFET の研究が行われている[1]。一方、新材料の導入は LSI 製造のコスト高を招くため、シリコンチャネルによって充分な ON 電流を得られるのが理想である。

我々はシリコン TFET における ON 電流増大を実現するための 1 つの方法として、PN 接合部に等電子トラップ(Isoelectronic Trap; IET)を導入することでトンネル確率を増大させることを提案し、その増大を実証した[2]。その一方で PN 接合部への過分の不純物導入は、TFET においては SS(Subthreshold Slope)値の劣化を引き起こす懸念がある。今回我々は TFET における等電子トラップ導入の有効性の実証と、SS 値の劣化検証とを目的として、PN 接合部に等電子トラップを導入した TFET を試作し、特性の温度依存性を評価したのでこれを報告する。

実験は、SOI 基板上にプレーナー型の N-TFET を試作して行った。S/D 領域を最初に形成、そこへ Al と N との 2 種を共注入することで等電子トラップを PN 接合部に導入し、最後に high-k/メタルゲート構造を形成することで TFET を作製した。

図 1 は、試作した N-TFET において、等電子トラップの導入有無による特性の違いを比較した結果を示している。測定温度は室温である。等電子トラップの導入によって TFET の ON 電流が約 1 桁向上している。また、OFF 電流の増加が懸念されたが、大幅な劣化は認められない。図 2 は温度変化測定の結果である。熱励起過程が充分排除される温度下でも ON 電流の向上が維持されているとともに、SS 値は IET を導入しない従来 TFET よりも低い値が得られている。これは SS 値に対して IET 不純物導入の悪影響は生じていないことを意味している。SS 値の改善は、純粋に IET 導入によるトンネル確率が増加した結果として起きているものと理解される。

【謝辞】本研究は最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」の一環として行われた。

[1] G. Dewey et al., IEDM Tech. Dig. (2011) pp. 33.6, for example.

[2] T. Mori et al., VLSI Tech. Dig. (2014), in press.

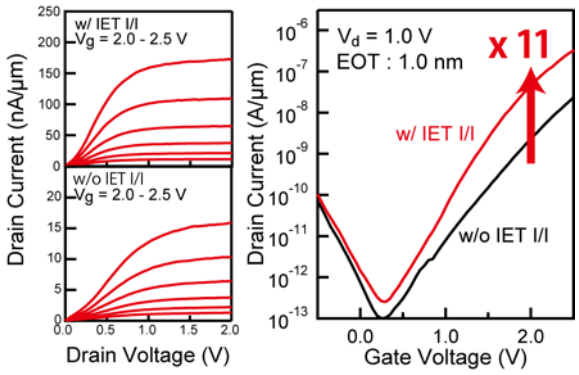

Fig. 1 Room temperature characteristics of N-TFETs. The ON current of the IET-assisted TFET is successfully enhanced.

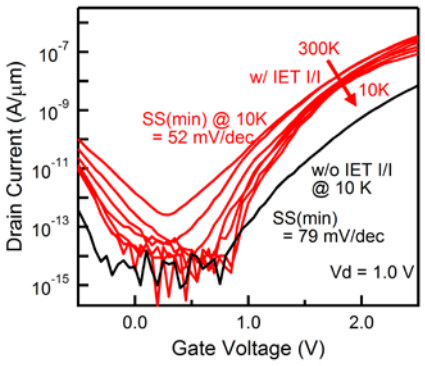

Fig. 2 Temperature dependence of I_D-V_G characteristics.

© 2014 年　応用物理学会