

ジャンクションレストランジスタの表面ラフネス散乱及び不純物散乱の影響 Influences of Surface Roughness and Impurity Scatterings in Junctionless Transistors

神戸大工¹, 阪大工², JST CREST³ ○一居 雅人¹, 土屋 英昭^{1,3}, 鎌倉 良成^{2,3}, 森 伸也^{2,3},
小川 真人¹

Kobe Univ.¹, Osaka Univ.², JST CREST³ °M. Ichii¹, H. Tsuchiya^{1,3},
Y. Kamakura^{2,3}, N. Mori^{2,3}, M. Ogawa¹

E-mail: 146t207t@stu.kobe-u.ac.jp

ジャンクションレストランジスタ(JLT)は、ソース/チャネル/ドレイン領域の不純物の極性と密度が均一であるため、ソース・チャネル間及びドレイン・チャネル間に pn 接合が存在しない。このため、従来型 MOSFET で必須となるナノスケールサイズでの不純物プロファイル制御が必要なくなるため、LSI の製造工程を簡略化・低コスト化できるとともに、更なる微細化に適したデバイス構造となっている[1]。JLT はこのようにナノスケール MOSFET の製造に有利なだけでなく、蓄積モードで動作することの利点が指摘されている。その一つが、キャリアがゲート酸化膜界面から離れて伝搬することによる表面ラフネス散乱の軽減である。この表面ラフネス散乱の軽減に関しては、特に、酸化膜界面の品質に課題が残っている III-V チャネル MOSFET や立体構造 MOSFET において力を発揮すると期待できる。その一方で、チャネル内にはソース・ドレインと同密度の多量の不純物を含むため、不純物散乱による性能劣化が懸念されている。そこで本稿では、2 次元電子ガスの散乱レートを取り入れた半古典的モンテカルロ法を用いて、JLT の表面ラフネス散乱と不純物散乱の影響について検討した結果を報告する。

計算に用いたデバイス構造を図 1 に示す。考慮した散乱機構は、フォノン散乱、表面ラフネス散乱及び不純物散乱であるが、以下で述べるように、表面ラフネス散乱の影響を調べる際には不純物散乱を無視して計算を行った。それでは、表面ラフネス散乱と不純物散乱の影響を $I_D - V_G$ 特性上で議論していく。図 2 に JLT と従来型 MOSFET の $I_D - V_G$ 特性を示す。破線及び実線は、それぞれ不純物散乱を無視した場合と考慮した場合の結果を示す。まず、破線の不純物散乱を無視した場合の結果に注目すると、JLT の方が高い電流値を示していることが分かる。これは上述した通り、JLT では表面ラフネス散乱が軽減されることによる効果と思われる。そこで実際に、チャネル内のボトルネック点における閉じ込め方向の電子の波動関数とポテンシャル分布を比較した結果を図 3 に示す。破線の波動関数を見ると、JLT の電子はよりチャネルの中央部に分布しながら伝搬の様子が描かれている。つまり、JLT の電子はゲート酸化膜界面から離れて伝搬するために、表面ラフネス散乱が軽減され、従来型 MOSFET を上回る電流値が得られることが分かる。次に不純物散乱の影響を見るために、不純物散乱を考慮したモンテカルロ計算を実行し、得られた $I_D - V_G$ 特性を図 2 の実線に示した。この場合、表面ラフネス散乱も考慮している。JLT 及び従来型 MOSFET とともに不純物散乱による電流の低下が確認出来るが、やはり、チャネル内に高密度の不純物が含まれる JLT の電流値が従来型を下回っている。しかしながら、不純物散乱による電流低下成分を含めた場合(図 2 の実線)でも、致命的なオン電流性能の劣化が起こらないことは注目に値する。これは、遮蔽の効果や不純物散乱の前方散乱の性質[2]が、電子速度の低下を抑制したことが原因と考えられる。発表当日はチャネル長依存性等の結果についても紹介する予定である。

文献 [1] J.-P. Colinge et al., Nature Nanotech. 5 (2010) 225. [2] K. Nagai et al., JJAP 52 (2013) 044302.

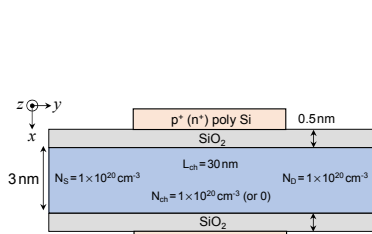


Fig. 1 Device structure. We adopted a double-gate structure with the channel thickness of 3nm and the gate oxide thickness of 0.5nm. The channel length is set as 30 nm. For the simulation of conventional MOSFET, the channel region is assumed to be undoped.

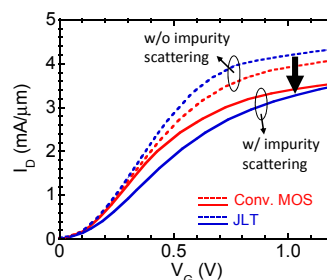


Fig. 2 $I_D - V_G$ characteristics of JLT and conventional MOSFET at $V_D = 0.5$ V, $L_{ch} = 30$ nm and $V_{th} = 0$ V. The dashed lines and the solid lines correspond to the results with and without impurity scattering, respectively.

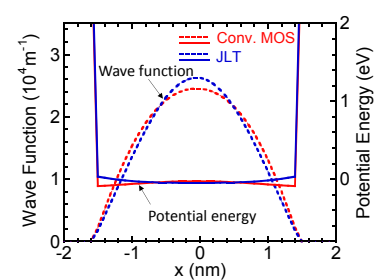


Fig. 3 Comparison of wave function and potential energy distributions in the confinement direction at the bottleneck point. Impurity scattering is ignored. $V_G - V_{th} = 0.3$ V.