17p-A14-8

半導体プロセスを用いたナノギャップ電極の作製

Fabrication of Nanogap Electrodes Using Semiconductor Process

㈱東芝 S&S 社半導体研究開発センター[1)] ㈱東芝研究開発センター[2)] 吉水康人 [1)]、田中裕介 [2)]、冨田 寛 [1)]
Y. Yoshimizu, Y. Tanaka, H. Tomita
Center for Semiconductor Research & Development, Semiconductor & Storage Products Company TOSHIBA Corporation
Research and Development Center, TOSHIBA Corp.
E-mail: yasuhito.yoshimizu@toshiba.co.jp

【はじめに】

ナノカーボン、ナノ粒子、分子などのナノ材料の電気的物性を明らかにするためのツールとして二端子の金属ナノギャップの研究が盛んである。金属ナノギャップは、ブレークジャンクション、シャドーマスク法など様々な方法による作製例が報告されている [1)]。しかし、いずれの方法においてもギャップ幅をナノオーダーで制御することが重要な課題である。そこで、我々は半導体微細加工プロセスを応用し、異種電極間に ALD 法により成膜されたシリコン酸化膜をナノギャップ犠牲膜として用い、希釈フッ酸でサイドエッチングする方法で、ナノ空間の距離制御性に優れた金属ナノギャップを作製した。本講演では、その作製方法並びにナノ空間におけるウェットエッチングの挙動について報告する。

【結果及び考察】

ダマシンプロセスにより形成されたタングステンビアの表面を下部電極とした。タングステンビア表面に ALD 法により 3, 4, 5, 15 nm のシリコン酸化膜を形成した後、ビア表面に境界を合せてフォトレジストを形成した。フォトレジストパターン上にスパッタリング法により金属膜電極を成膜した後、フォトレジストを剥離することにより余剰な金属膜をリフトオフした。下部電極と上部電極の間の ALD シリコン酸化膜を希釈フッ酸によりエッチングすることにより、Fig.1 のようにエアギャップを形成することができる。このときの希釈フッ酸によるウェットエッチングレートを評価した。

ウェットエッチングには 0.5%HF を用いた。0.5%HF に浸漬したチップは、水を浸したビーカー中で 1 分間流水リンスを実施し、N_2 ブローで乾燥させた。初めに電極間に用いた ALD シリコン酸化膜のバルクエッチングレートを測定した。0.5%HF による ALD-SiO_2 膜のバルクエッチングレートは 11nm/min であった。次に、電極間の ALD シリコン酸化膜を横方向からエッチングした際のエッチングレートを測定した。Fig.2 に 0.5%HF による金属ナノギャップ間の ALD-SiO_2 サイドエッチングレートを示す。ギャップ幅 15nm の ALD-SiO_2 層をサイドエッチングしたところ、エッチングレートは 11nm/min とバルクと同等のエッチングレートであった。しかしながらギャップ幅が 5, 4, 3nm と小さくなるに連れてエッチングレートは低下し、3nm ギャップ中ではバルクに対して約半分の 5.8nm/min であった。溶液分子が固液界面に束縛されることにより、エッチングレートが低下していると考えられる。当日の講演では、ナノギャップの電気特性についても報告する。

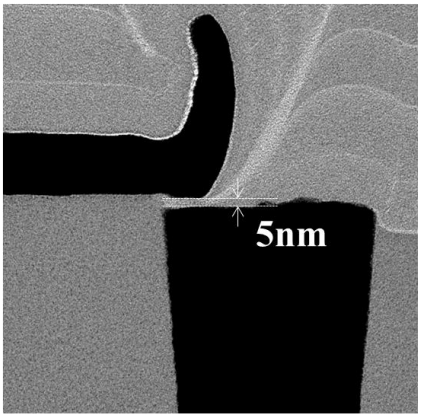

Fig.1 Cross-sectional TEM image of nanogap electrodes. This was fabricated by using semiconductor process.

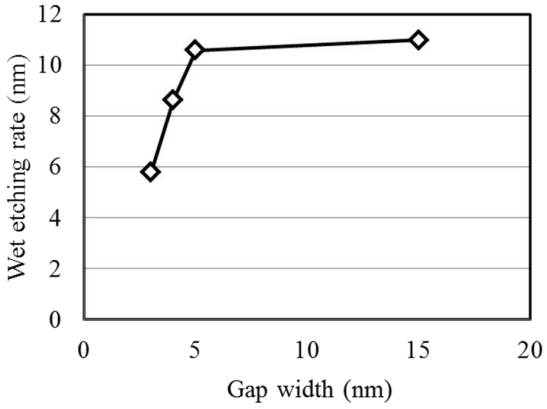

Fig.2 Wet etching rate of silicon dioxide between nanogap electrodes that are etched by 0.5%HF.

参考論文　[1] Kayashima et al. J. J. Appl. Phys. Vol.46, No.37 (2007)

© 2014 年　応用物理学会