

3 端子ナノドットアレイの高機能の創出 (2)

Creation of High functionality of three-terminal Nanodot Array device (2)

北大院情報¹, NTT 物性基礎研²

○吉岡勇¹, 内田貴史¹, 佐藤光¹, 有田正志¹, 藤原聡², 高橋庸夫¹,
 IST, Hokkaido Univ.¹, NTT Basic Research Labs.² ○Isamu Yoshioka¹, Takafumi Uchida¹,
 Hikaru Satoh¹, Masashi Arita¹, Akira Fujiwara², Yasuo Takahashi¹,
 E-mail: i-yoshioka@frontier.hokudai.ac.jp

1.はじめに

論理選択可能な単一デバイスとして単電子ナノドットアレイがある。このデバイスでは多数の入力ゲートの電圧による複雑な電流振動を利用しているため、省電力性と従来の CMOS にはない高機能性が期待されている。我々はドットをアレイ状に配置し、その上に多数のドットと容量的に接続した複数のゲートを取り付けることで高い論理機能が実現できることを示してきた[1]。Fig. 1 に示すような独立に入力ゲートが接続されたデバイスでは、1つのドットに対する複数の入力ゲートの連結が無いので、単純には高い機能が実現されないと予測されるが、過去の研究において我々は電子数の少ない領域において高い機能が実現できることを示した[2]。本報告では、ドットアレイのブランチ構造による電流の分配、これを機能として利用する可能性を示す。単純には、マルチプレクサとしての動作が期待できる。

2.実験方法

Fig.1 に示すように2つの下層入力ゲート(ゲート1、2)を3×2のナノドットアレイに取り付け、この上に形成された全面を覆う上層ゲートと、3つの電流入出力端子からなるデバイスを作製した。2つの下層ゲートに印加する電圧(V_{G1}, V_{G2})を変えながらソース1、ソース2に流れる電流(I_{S1}, I_{S2})を、ドレイン電圧 10mV、約 8K の温度にて測定した。

3.実験結果

Fig.2 は I_{S1} と I_{S2} を入力ゲート電圧に対してプロットした等高線図である。左右の図では、電流のコントラスト (色合い) を揃えて示した。 I_{S1} は縦縞の傾向が強く V_{G2} が支配的となっており、ゲート配置を反映した結果になっている。一方、 I_{S2} を見ると直列接続 SET に見られるようなクロスハッチパターンが観測できる。このとき、横縞で示される I_{S2} が大きく流れているところでは I_{S1} は小さく(暗く)なっており、逆に I_{S2} が小さいところで I_{S1} は大きく(明るく)なっている。これは、ドット列のブランチで電流が分配され、片方の端子に流れたために、もう片方の端子には流れないと考えれば理解できる。このように2つの電流に相補的な相関があるので、マルチプレクサ的機能として使用できることがわかる。このような相補的特性に加えて、2つのゲートがドットに接続すると、Fig. 2 の縦縞と横縞がわずかに傾くことになる。Fig. 2 において、わずかではあるがこの傾向が認められる。このことは、AND と XOR が同時に、しかも高い確率で実現されうる可能性を示唆している。

[1] T. Kaizawa et al., Jpn. J. Appl. Phys. **45**, 5317 (2006). [2]吉岡他: 応用物理学会春季講演会 19p-F12-12 (2014).

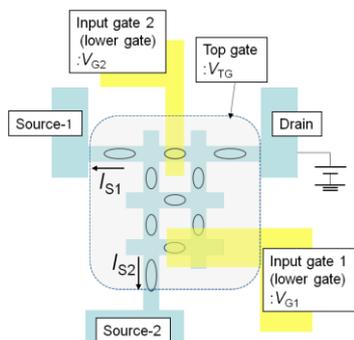


Fig.1 Schematic view of the device.

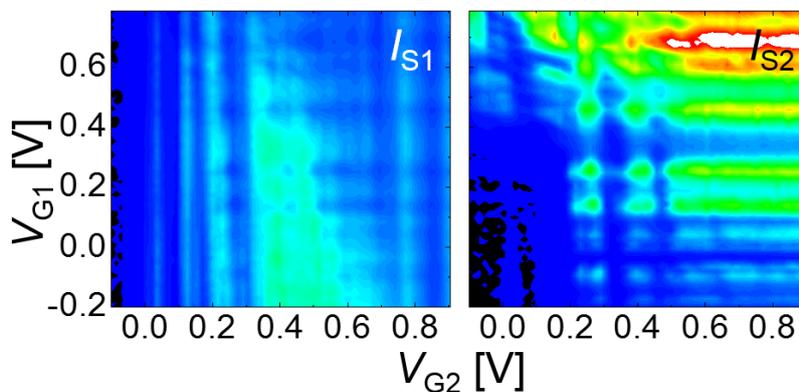


Fig.2 Measured stability diagram shown by the use of Contour plot of I_{S1} and I_{S2} .