

17p-A16-8

Tunnel FET の短チャネル効果の検討

On the short channel effects of tunnel FETs

○福田浩一, 森貴洋, 水林亘, 森田行則, 昌原明植, 安田哲二, 右田真司, 太田裕之
産総研(AIST) ナノエレクトロニクス研究部門(NERI)

OK.Fukuda, T.Mori, W.Mizubayashi, Y.Morita, M.Masahara, T.Yasuda, S.Migita, H.Ota

Nanoelectronics Research Institute (NERI), AIST

超低消費電力 LSI を目指す急峻なスイッチング(Steep Slope)デバイスとして、Tunnel FET(TFET)が期待されている。シリコン TFET の電流電圧特性 [1]は、ドリフト拡散型デバイスシミュレータ[2]に搭載した、いわゆる非局所バンド間トンネルモデルによって、精度よく説明できた[3]。また、長チャネル TFET の伝達特性(I_d - V_{gs} 特性)へのドレイン電圧の影響について、①ソース・ドレイン間の伝導帯・価電子帯の重なり、②蓄積層の形成によりチャネル電位がドレイン電圧付近で飽和する現象、の 2 つで説明できることが、シミュレーションによって示された[4]。

TFET はソース・ゲート間電位でバンドを急峻に曲げてトンネル電流を制御するため、その短チャネル効果は MOSFET とは異なると考えられる。ここでは TFET の短チャネル効果をシミュレーションによって検討した。Fig.1 に SOI 型 P チャネル TFET の断面構造図を示す。実効酸化膜厚(EOT)は実デバイスで実績のある 1nm とした。TFET のチャネル濃度は OFF 時のバンド間トンネルリークを抑制するため 10^{14}cm^{-3} とした。Fig.2 にゲート長 20nm を想定したときの I_d - V_{gs} 特性の V_{ds} 依存性を示す。MOSFET の Drain Induced Barrier Lowering (DIBL)と同様な、閾値電圧 V_{th} の V_{ds} 依存が見られるものの、SOI MOSFET であればチャネル濃度を濃くしなければパンチスルーしてしまうようなゲート長でも、 V_{ds} 依存性は小さいと言える。

Fig.3 は、実効ゲート電圧($V_{gs}-V_{off}$ で定義)が-0.5V、 $V_{ds}=-0.1, -0.5\text{V}$ の時の伝導帯・価電子帯を、ゲート誘電膜・シリコン界面に沿ってプロットしたものである。TFET のソース・ドレインは NP ダイオードであり、MOSFET の DIBL の概念は当てはまらない。低いチャネル濃度により、チャネル部分の電位がゲートでよく制御されており、TFET が短チャネル効果に強いことがわかる。

本研究の一部に、政府の最先端研究開発支援プログラムにより、助成された成果を用いています。

[1] Mori *et al.*, JJAP 50 (2012) 06GF14 [2] HyENEXSS ver.5.5 [3] Fukuda *et al.*, SISPAD2012, p.284.

[4] Fukuda *et al.*, 2013年秋季応用物理学会

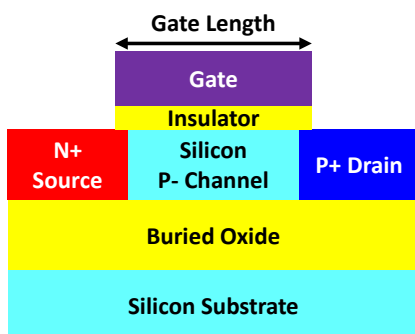


Fig.1 Cross section of assumed SOI P-channel TFET

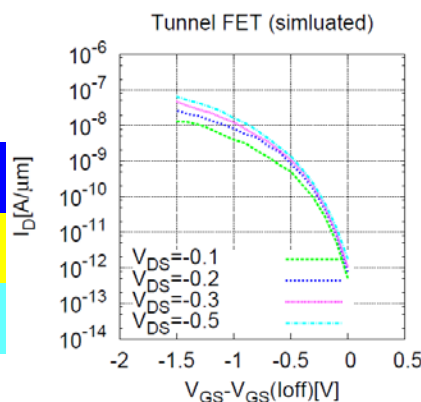


Fig.2 Drain bias dependence of I_d - V_{gs} characteristics.

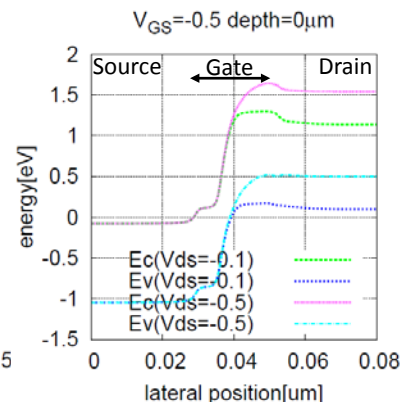


Fig.3 Band profile along the Silicon-insulator interface.