

エピタキシャル成長で形成したトンネル接合の品質改善による トンネルFETの性能向上

Improvement of Epitaxial Channel Quality and Its Impact to Tunnel FET Performances

産総研 GNC、森田行則、森貴洋、右田真司、水林亘、福田浩一
遠藤和彦、松川貴、大内真一、柳永勲、昌原明植、太田裕之
GNC-AIST、Y. Morita, T. Mori, S. Migita, W. Mizubayashi, K. Fukuda
K. Endo, T. Matsukawa, S. O'uchi, Y.X. Liu, M. Masahara, and H. Ota
E-mail: y.morita@aist.go.jp

[はじめに] 現在の電子回路で用いられている電界効果トランジスタ (MOSFET) のサブスレッショルド・スイング (SS) は 60 mV/decade の物理的な下限を持つことから、電源電圧の低減による回路の低消費電力化には限界がある。そこで近年、MOSFET とは異なる動作原理に基づくトンネル電界効果トランジスタ (Tunnel FET, TFET) が省電力回路向けトランジスタとして注目されている。TFET の動作は半導体のバンド間トンネル現象に基づき、60 mV/decade 以下の SS が原理的に可能であることがその理由である。

TFET においては、ドーパント濃度を急峻に変調したソース/チャンネル間トンネル接合の形成が重要である。我々のグループでは、Si エピタキシャル成長技術により、高濃度にドーパされたソース領域上にノンドーパ Si 層を堆積しトンネル接合とすることで、平行平板型、および二層 Fin 型 TFET を試作し、動作の検証を行ってきた。(Fig. 1) [1,2] 今回、エピタキシャル成長を用いたトンネル接合の形成において、成長前の表面処理が、成長層の品質および TFET の SS に与える影響を検討した。

[実験] Fig. 2 はエピタキシャル成長技術を用いて作成した (a) p 型および (b) n 型 TFET の接合模式図である。p 型 TFET の場合は As をドーパントとした n++ ソース、n 型 TFET の場合は B をドーパントとした p++ ソースを用いる。CMOS を形成する場合には p 型および n 型 TFET を同一基板上に作り込むことから、これらの極性が異なるソース表面上にノンドーパ Si 層をエピタキシャル成長させる必要がある。Fig. 3 は高濃度ソース表面へのエピタキシャル成長手順である。イオン注入および活性化アニールをあらかじめ行っている。溶液を用いた表面酸化と、弗酸を用いた酸化層エッチングとを複数回繰り返して表面を清浄化した後エピタキシャル成長を行う。引き続きチャンネル加工・ゲートスタック堆積を行い、平行平板型、および二層 Fin 型 TFET を作成した。[1,2]

[結果] Fig. 4 は、Fig. 3 での処理回数 N を変えて作成した TFET の伝達特性の比較である。(a) において、処理回数 N を 1 から 3 に増加させることで、p および n 型 TFET の両者においてオフ電流が減少している。さらに処理回数 N を 5 回とした (b) の場合、p および n 型 TFET の両者において SS_{MIN} の値が 60 mV/decade 以下に低減されており、酸化/酸化層エッチング処理を繰り返すことで特性が向上している。高濃度にドーパントを注入した Si 表面では、表面の酸化層の弗酸によるエッチング速度が低下する。[3] 酸化/酸化層エッチングの繰り返し処理を行うことによって、この酸化層が次第に薄膜化し、エピタキシャル成長界面の欠陥が低減したことが TFET の性能向上に寄与したと考えられる。[3]

[謝辞] 本研究は日本学術振興会の助成により最先端研究開発支援プログラム「グリーン・ナノエレクトロニクスのコア技術開発」において実施された。

[参考文献] [1] Y. Morita, et al., Jpn. J. Appl. Phys. 52 (2013) 04CC25.

[2] Y. Morita, et al., Symp. VLSI Tech. Dig. (2013) T236.

[3] Y. Morita, et al., Proceedings of IEEE ESSDERC (2014) to be published.

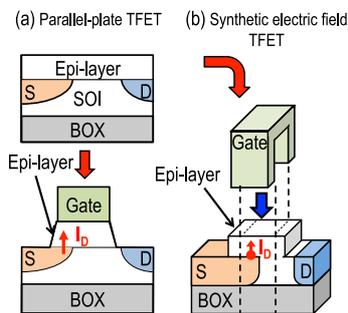


Fig. 1 Schematics of TFETs fabricated by epitaxial growth technique. (a) parallel-plate (PP) type TFET on a S/D first wafer, (c) Double-layer-fin type synthetic electric field (SE) TFET.

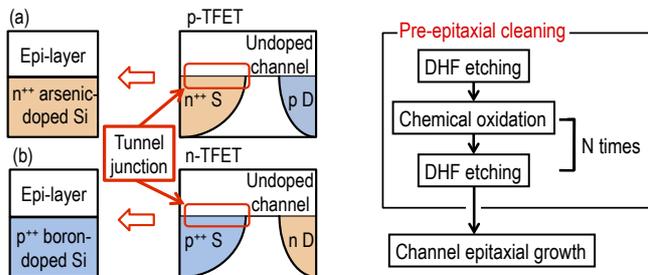


Fig. 2 Schematics of epitaxial tunnel junctions for (a) p- and (b) n-TFETs fabricated on the n++ and p++ Si sources, respectively.

Fig. 3 Process flow of the oxidation/etching sequential cleaning. N represents repeated numbers of additional oxidation/etching cycles.

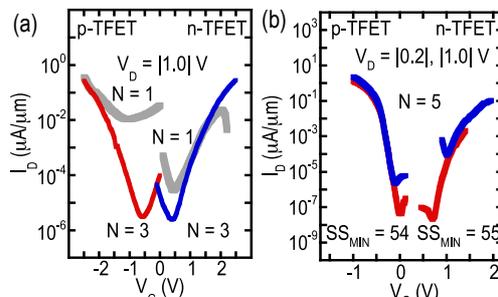


Fig. 4 I_D - V_G of PP- and (b) SE-TFETs (See Fig. 1). Increasing the number of cleaning cycles improves the steepness of the characteristics.