

n 形 3C-SiC へのゲートスタックの低温形成

Gate Stack Fabrication on n-type 3C-SiC at Low Temperature

九大・大学院総合理工学府¹, 九大・産学連携センター², (株)エア・ウォーター総合開発研究所³
山本 裕介¹, 村山 亮介¹, 山本 圭介², 王 冬¹, 中島 寛², 菱木 繁臣³, 川村 啓介³

I-Eggs Kyushu Univ.¹, KASTEC Kyushu Univ.², Air Water R & D Co., Ltd.³

Yusuke Yamamoto¹, Ryosuke Murayama¹, Keisuke Yamamoto², Dong Wang¹, Hiroshi Nakashima²,
Shigeomi Hishiki³, Keisuke Kawamura³

E-mail: 2ES13049T@s.kyushu-u.ac.jp

【研究背景・目的】

パワーデバイスの高性能化に向けて、ワイドギャップ半導体への注目が増している。GaN はその候補材料として有望視されており、3C-SiC を支持基板としたエピタキシャル成長技術が研究されている[1]。一方で、3C-SiC はそれ自身が禁制帯幅 2.2 eV を有するワイドギャップ半導体であり、高品質な 3C-SiC 基板が実用化できれば、Si では不可能な高温環境下でのデバイス動作が可能となる。3C-SiC は、①Si 基板上にエピタキシャル成長する、②電子移動度が高い、③Si プロセスとの親和性が良い、等の利点を有する。もし 3C-SiC でロジックデバイスを作製できれば、GaN/3C-SiC ヘテロ構造基板上で GaN パワーデバイスとその制御用 3C-SiC ロジックをオンチップで実装でき、素子の小型化が達成できる。本研究では、3C-SiC を用いたロジックデバイスの実現に向けて、MOSFET のゲートスタックの形成について調査を行った。

【実験】

本研究で作製した MOS キャパシタは、バックコンタクトを基板表面側に設けた lateral MOS 構造である。試料の作製プロセスを Fig. 1 に示す。使用した基板は、n 形 Si(111)面上に厚さ 2 μm の n 形 3C-SiC をエピタキシャル成長させたもので、3C-SiC 層のキャリア濃度は $4.7 \times 10^{16} \text{ cm}^{-3}$ である。ゲート絶縁膜には SiO₂ を使い、「熱酸化」「ECR プラズマ窒化+スパッタリング堆積[2]」「ECR プラズマ酸化+スパッタリング堆積[3]」の 3 通りの方法にて成膜した。ECR プラズマプロセスを用いた試料は、成膜後に 400~1200 °C の postdeposition annealing(PDA)を行った。ゲート電極・コンタクト電極には熱蒸着 Al を使用した。

【結果と考察】

Fig. 2 に作製した MOS キャパシタの高周波 C-V 特性および断面模式図を示す。いずれも典型的かつ急峻な C-V 特性が得られているが、熱酸化で作製した MOS キャパシタはフラットバンド電圧(V_{FB})が負に大きくシフトしている。また、C-V 特性のヒステリシスが反時計回りであったことから、絶縁膜中に炭素原子起因の正の固定電荷ないし可動イオンが存在することが示唆される。一方で、ECR プラズマプロセスで形成した MOS キャパシタは V_{FB} のシフト量が小さく、ヒステリシスも観測されなかったことから、絶縁膜中の電荷量が少ないと考えられる。窒化膜界面層と酸化膜界面層とでは、後者の方が C-V の急峻性に優れている。

Fig. 3 に、「ECR プラズマ酸化+スパッタリング堆積」で作製した MOS キャパシタの C-V 特性の、PDA 温度依存性を示す。低温ほど急峻性が良好な点が興味深い。

これらの試料の界面準位密度(D_{it})を、High-Low Frequency 法[4]で測定した結果を Fig. 4 に示す。「ECR プラズマ酸化+スパッタリング堆積+400 °C-PDA」の試料は、最小で $1.7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ (@ $E_T - E_C = -0.42 \text{ eV}$)の低い D_{it} が得られた。この結果は、3C-SiC を用いたロジックデバイス実現に繋がるものと考えられている。

【参考文献】 [1] H. Fang et al., JAP **115**, 063102 (2014). [2] H. Yang et al., J. Electrochem. Soc., **159** (2012) H1. [3] D. W. Gao et al., JAP **82** (1997) 5680. [4] Nicollian & Brews, MOS Physics and Technology (Wiley, New Jersey, 2003) p. 331.



Fig. 1 Procedure of sample preparation for 3C-SiC MOS capacitors.

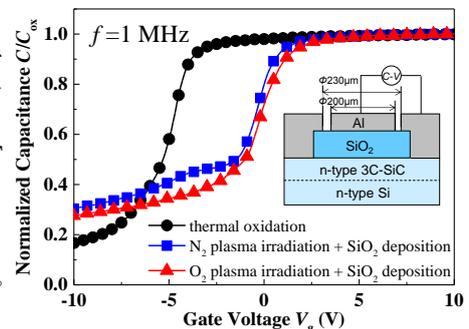


Fig. 2 C-V characteristics for 3C-SiC MOS capacitors with various preparation methods.

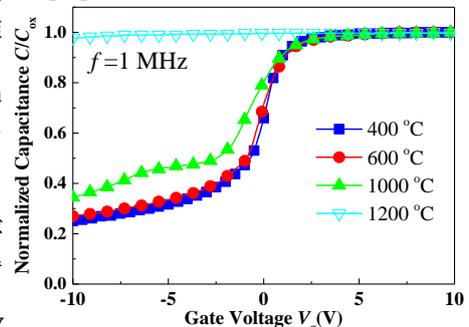


Fig. 3 PDA temperature dependence of C-V characteristics for 3C-SiC MOS capacitors with oxide interlayer.

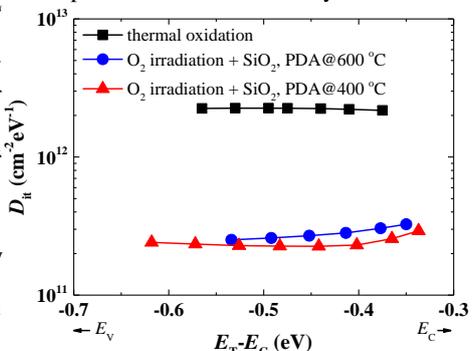


Fig. 4 D_{it} distribution for 3C-SiC MOS capacitors.