

SiC-MOSFET の過渡応答特性

Transient response characteristic of SiC-MOSFETs

技術研究組合 次世代パワーエレクトロニクス研究開発機構 (FUPET)¹,産業技術総合研究所 先進パワーエレクトロニクス研究センター²○先崎 純寿^{1,2}, 吉岡 裕典^{1,2}, 下里 淳², 小林 勇介¹, 有吉 恵子¹,小島 貴仁¹, 原田 信介^{1,2}, 田中 保宣^{1,2}, 奥村 元^{1,2}R&D Partnership for Future Power Electronics Technology¹, AIST/ADPERC²,○Junji Senzaki^{1,2}, Hironori Yoshioka^{1,2}, Atsushi Shimozato², Yusuke Kobayashi¹, Keiko Ariyoshi¹,Takahito Kojima¹, Shinsuke Harada^{1,2}, Yasunori Tanaka^{1,2}, Hajime Okumura^{1,2}

E-mail: junji-senzaki@aist.go.jp

SiC-MOS パワーデバイスの実現には, MOS 界面の閾値電圧 (V_{TH}) の長期安定化技術とともにその評価技術の確立が重要である. しかし, MOS 界面及びその近傍に存在すると考えられる準位に起因した過渡応答現象により, 正確な V_{TH} 評価が困難となっている. 本研究では, μ sec 以下の時間分解能での超高速 I-V 測定により SiC-MOSFET の過渡応答特性を評価したので報告する.

基板として p 型 4H-SiC エピタキシャルウェハを使用し, プレーナー型 n チャネル MOSFET を作製した. ソース・ドレイン領域には P イオン注入を, 基板コンタクト領域には Al イオン注入を実施した後, Ar 雰囲気中で 1700°C の活性化アニールを行った. MOS 界面構造の形成には 1150°C のドライ熱酸化後に 1250°C の N_2O 処理 (DRY/ N_2O) を実施した. ゲート電極には P ドープ Poly-Si 電極を使用した.

図に 100°C における過渡応答特性を示す. 本特性は 15V のゲートバイアス (V_G) 印加後に 1μ sec で V_G を 0V に変化させた時の各端子電流をリアルタイムに測定することにより得られた. V_G の変化と同時にドレイン, ソース, 基板の各端子では正方向の電流 (I_D , I_S , I_{sub}) が,

ゲート端子では負方向の電流 (I_G) が確認された. V_G 変化に対して遅れて変化する過渡電流が観測されており, MOS 界面からの放出キャリアによる電流が過渡応答現象を構成していることを示唆する. I_D 及び I_S の過渡応答成分は界面から放出された電子電流が主であるのに対し, I_{sub} では界面の電子とホールとの再結合に起因した電流が主となるため, 各電流の時間変化が異なっていると考えられる.

本研究は, NEDO 委託事業「低炭素社会を実現する新材料パワー半導体プロジェクト」の成果である.

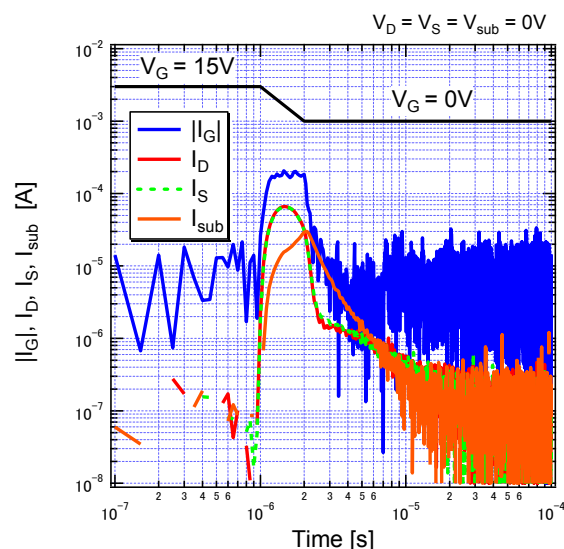


図 SiC-MOSFET の過渡応答特性 (100°C).